

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hachiro FUJITA, et al.

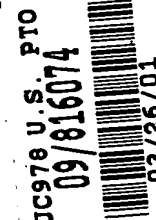
GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: TURBO-CODE DECODING UNIT AND TURBO-CODE ENCODING/DECODING UNIT



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-183551	June 19, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

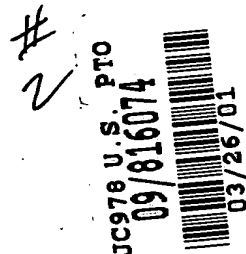
Marvin J. Spivak
Registration No. 24,913



22850

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 6月19日

出 願 番 号

Application Number:

特願2000-183551

出 願 人

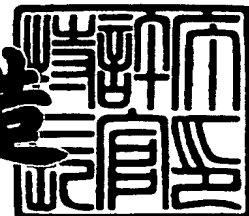
Applicant (s):

三菱電機株式会社

2000年 9月29日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3080159

【書類名】 特許願

【整理番号】 524658JP01

【提出日】 平成12年 6月19日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 13/12
H03M 13/22

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 藤田 八郎

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 宮田 好邦

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 中村 隆彦

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 吉田 英夫

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 復号回路および復号方法、並びに符号化回路および符号化方法

【特許請求の範囲】

【請求項 1】 ターボ符号を復号する復号回路において、
符号受信系列を時間方向において複数のブロックに分割し、各ブロックを並行して復号する複数の復号器を備える
ことを特徴とする復号回路。

【請求項 2】 ターボ符号を復号する復号回路において、
符号受信系列を時間方向において複数のブロックに分割し、各ブロックを順番に復号する 1 つの復号器を備える
ことを特徴とする復号回路。

【請求項 3】 各復号器は、各ブロックの通信路値および事前値から順方向および逆方向の状態遷移確率を計算する遷移確率計算回路と、前記順方向の状態遷移確率に基づいて順方向のパス確率を計算し、前記逆方向の状態遷移確率に基づいて逆方向のパス確率を計算するパス確率計算回路と、前記順方向のパス確率、前記逆方向の状態遷移確率および前記逆方向のパス確率に基づいて事後値を計算する事後値計算回路と、その事後値から情報ビットに対応する通信路値および事前値を減算して外部値を計算する外部値計算回路とを有する
ことを特徴とする請求項 1 または請求項 2 記載の復号回路。

【請求項 4】 複数の復号器のそれぞれは、最後に計算した順方向のパス確率および逆方向のパス確率のいずれか一方を他の復号器へ入力し、他の復号器から入力された前記順方向または前記逆方向のパス確率を、前記順方向または逆方向のパス確率の初期値に設定する
ことを特徴とする請求項 3 記載の復号回路。

【請求項 5】 復号器は、パンクチャされた符号の符号受信系列のうちの、パンクチャされたビットに対応する通信路値に信頼度の最も低い値を挿入するデパンクチャ回路を有する
ことを特徴とする請求項 3 記載の復号回路。

【請求項 6】 復号器は、各ブロックの入力が完了するとそのブロックの復

号を開始し、事後値を出力する際、先頭のブロックから順番にそのブロックの各通信路値に対応する事後値を出力する

ことを特徴とする請求項 3 記載の復号回路。

【請求項 7】 復号器は、入力が未完了であるブロックから事後値を生成し、その事後値に対応する事前値を、入力が完了しているブロックの復号のための事前値とする

ことを特徴とする請求項 6 記載の復号回路。

【請求項 8】 各ブロックが所定の長さだけオーバーラップする

ことを特徴とする請求項 2 記載の復号回路。

【請求項 9】 ターボ符号を復号する復号方法において、

符号受信系列を時間方向において複数のブロックに分割し、各ブロックを並行して復号する

ことを特徴とする復号方法。

【請求項 10】 ターボ符号を復号する復号方法において、

符号受信系列を時間方向において複数のブロックに分割し、各ブロックを順番に復号する

ことを特徴とする復号方法。

【請求項 11】 情報ビット系列からターボ符号を生成する符号化回路において、

情報ビット系列をインタリーブするインタリーバと、

前記情報ビット系列または前記インタリーバによりインタリーブされた系列からそれぞれパリティビット系列を生成する複数の要素符号器と、

前記複数の要素符号器により生成された複数のパリティビット系列に対してパンクチャ処理を実行し、パリティビット系列の数を減らすパンクチャ回路と

を備えることを特徴とする符号化回路。

【請求項 12】 情報ビット系列からターボ符号を生成する符号化方法において、

情報ビット系列をインタリーブするステップと、

前記情報ビット系列またはインタリーブした系列からそれぞれパリティビット

系列を生成するステップと、

生成した複数のパリティビット系列に対してパンクチャ処理を実行し、パリティビット系列の数を減らすステップと

を備えることを特徴とする符号化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、例えばデジタル無線通信およびデジタル磁気記録において発生する誤りを訂正可能なターボ符号についての復号回路および復号方法並びに符号化回路および符号化方法に関するものである。

【0002】

【従来の技術】

ターボ符号は低信号対雑音比 (Signal to Noise Ratio, SNR) で低い復号誤り率を達成する誤り訂正符号として近年注目を集めている。ここでは、まず、ターボ符号への符号化について説明し、次に、ターボ符号の復号について説明する。

【0003】

まずターボ符号への符号化について説明する。図12は符号化レート $1/3$ かつ拘束長3のターボ符号を符号化する従来の符号化回路を示すブロック図である。図12(a)において、101Aは情報ビット系列Dから第1のパリティビットの系列P1を生成する要素符号器であり、101Bはインタリーバ102により情報ビット系列Dを並べ替えて生成された情報ビット系列D*から第2のパリティビットの系列P2を生成する要素符号器であり、102は所定の写像関係に基づいて情報ビット系列Dのビット d_i を並べ替えて情報ビット系列D*を生成するインタリーバである。

【0004】

図12(b)に示す要素符号器101A、101Bにおいて、111は入力されたビットと遅延素子112の出力と遅延素子113の出力とを加算する加算器であり、112、113は入力されたビットを次のビットが入力されるまで遅延

させる遅延素子であり、114は加算器111の出力と遅延素子113の出力とを加算しパリティビットとして出力する加算器である。

【0005】

次に動作について説明する。

図13は図12の要素符号器101A、101Bの状態遷移図であり、図14は図12の要素符号器101A、101Bのトレリス線図である。以下、情報ビット系列Dのビット長をN（Nは正の整数）とし、 $D = \{d_0, d_1, \dots, d_{N-2}, d_{N-1}\}$ と表記する。

【0006】

初期状態では、要素符号器101A、101Bの遅延素子112、113には初期値0がセットされる。

【0007】

次に、情報ビット系列Dが要素符号器101Aとインタリーバ102に入力され、インタリーバ102は、情報ビット系列Dの各ビットの並べ替えを実行する。このとき、N個のビット d_0, \dots, d_{N-1} の下付きのN個の整数0, $\dots, N-1$ が並べ替えられる。ここで、式(1)に示すように、その並べ替えの写像を「INT」で表し、その逆写像を「DEINT」で表す。なお、 $DEINT(INT(k)) = k$ および $INT(DEINT(k)) = k$ が成り立つ。

$INT: K \ni k \rightarrow INT(k) \in K$

$DEINT: K \ni k \rightarrow DEINT(k) \in K \quad \dots (1)$

【0008】

そして、インタリーバ102により生成された情報ビット系列 D^* ($D^* = \{d_k^*\}$, $d_k^* = d_{INT(k)}$, $k = 0, 1, \dots, N-1$)は、要素符号器101Bに入力される。

【0009】

要素符号器101Aでは、時点kにおいて情報ビット d_k が入力され、加算器111によりその情報ビット d_k と遅延素子112、113に保持されているビット値との排他的論理和が演算され、遅延素子112および加算器114に入力される。

【0 0 1 0】

そして、加算器 1 1 4 の出力と遅延素子 1 1 3 に保持されている値との排他的論理和が演算され、その演算結果がパリティビット $p 1_k$ として出力される。

【0 0 1 1】

なお、遅延素子 1 1 2 は次の情報ビット d_{k+1} が入力されるまで情報ビット d_k を保持し、その情報ビット d_k を遅延素子 1 1 3 に入力し、遅延素子 1 1 3 はその情報ビット d_k が入力されるまで 1 つ前の情報ビット d_{k-1} を保持する。

【0 0 1 2】

同様に、要素符号器 1 0 1 B では、時点 k において d^*_k が入力され、パリティビット $p 2_k$ が生成され出力される。

【0 0 1 3】

すなわち、時点 k において、情報ビット、第 1 のパリティビット、第 2 のパリティビットの 3 ビット ($d_k, p 1_k, p 2_k$) がまとめて出力される。

【0 0 1 4】

要素符号器 1 0 1 A, 1 0 1 B の状態は、図 1 3 および図 1 4 に示すように、情報ビット d_k の入力毎に新たな状態に遷移し、要素符号器 1 0 1 A, 1 0 1 B により生成されるパリティビット $p 1_k, p 2_k$ は、要素符号器 1 0 1 A, 1 0 1 B の状態、すなわち遅延素子 1 1 2, 1 1 3 に保持されている値と要素符号器 1 0 1 A, 1 0 1 B に入力される情報ビット d_k, d^*_k により定まる。

【0 0 1 5】

図 1 3 の状態遷移図では、円内に記載の 2 ビットの数値は要素符号器 1 0 1 A, 1 0 1 B の遅延素子 1 1 2 と遅延素子 1 1 3 に保持されている値を表す。例えば「0 1」は遅延素子 1 1 2 に 0 が保持され、遅延素子 1 1 3 に 1 が保持されていることを表す。また矢印に付随する 2 ビットの数値は、入力された情報ビット d_k と生成されるパリティビット $p i_k$ ($i = 1, 2$) を表す。例えば「1 0」は情報ビット d_k が 1 であり、パリティビット $p i_k$ が 0 であることを表す。

【0 0 1 6】

図 1 4 のトレリス線図では、時系列に沿った要素符号器 1 0 1 A, 1 0 1 B の

状態の遷移が示されている。図 1 3 に示すように、時点 k の各状態から次の時点 $k + 1$ の 2 つの状態へ遷移可能であり、また、各時点 k の各状態へは前の時点 $k - 1$ の 2 つの状態から遷移可能であるため、図 1 4 に示すように、要素符号器 1 0 1 A, 1 0 1 B の状態は、情報ビットが入力される毎に、その情報ビットと遅延素子 1 1 2, 1 1 3 に保持されている値に応じて 2 つの状態のいずれかに遷移する。

【0 0 1 7】

なお、ターボ符号の符号化回路では、最後の情報ビットが符号化された後、要素符号器 1 0 1 A, 1 0 1 B の状態遷移が終結する。

【0 0 1 8】

その場合、要素符号器 1 0 1 A に最後の情報ビット d_{N-1} が入力された後、要素符号器 1 0 1 A の状態を「0 0」、すなわち遅延素子 1 1 2, 1 1 3 の内容をともに 0 にするために、付加的な 2 つの情報ビット (d_N, d_{N+1}) が要素符号器 1 0 1 A に入力される。なお、付加的な 2 つの情報ビット (d_N, d_{N+1}) は有効な情報を表すものではない。これに応じて、付加的な 2 つのパリティビット (p_{1N}, p_{1N+1}) が生成される。

【0 0 1 9】

同様に、要素符号器 1 0 1 B に情報ビット $d_{N-1}^* = d_{INT(N-1)}$ が入力された後、付加的な 2 つの情報ビット d_N^*, d_{N+1}^* が入力されて要素符号器 1 0 1 B の状態が「0 0」に戻される。これに対応して、付加的な 2 つのパリティビット p_{2N}, p_{2N+1} が生成される。

【0 0 2 0】

すなわち、要素符号器 1 0 1 A, 1 0 1 B の状態は、情報ビット系列 D の符号化開始時 (時点 $k = 0$) には、初期状態「0 0」となっており、その後、情報ビットの入力毎にトレリス線図上の状態を遷移していき、情報ビット系列 D の符号化終了時 (時点 $k = N + 2$) には、初期状態「0 0」に戻る。なお、状態遷移を終結するための、最後の 8 ビット $d_N, d_{N+1}, p_{1N}, p_{1N+1}, d_N^*, d_{N+1}^*, p_{2N}, p_{2N+1}$ はテイルビットと呼ばれる。

【0 0 2 1】

以上のように、情報ビット系列 $D = \{d_0, d_1, \dots, d_{N-2}, d_{N-1}\}$ および付加情報ビット $\{d_N, d_{N+1}, d_N^*, d_{N+1}^*\}$ から第1および第2のパリティビット系列 $P1 = \{p1_0, p1_1, \dots, p1_{N-2}, p1_{N-1}, p1_N, p1_{N+1}\}$, $P2 = \{p2_0, p2_1, \dots, p2_{N-2}, p2_{N-1}, p2_N, p2_{N+1}\}$ が生成され、情報ビット系列および付加情報ビット並びに第1および第2のパリティビット系列が出力される。なお、情報ビット系列をインタリーブして生成された情報ビット系列 D^* は、情報ビット系列 D の単に並べ替えたものであるので特に出力されない。

【0022】

このように出力される情報ビット系列および付加情報ビット並びに第1および第2のパリティビット系列は、ターボ符号として、所定の通信路を介して送信されたり、記録媒体に記録されたりする。そして、そのターボ符号は、符号受信系列として復号回路側で受信された後もしくは読み出された後、復号される。

【0023】

以下、情報ビット d_k ($k=0, 1, \dots, N-1$) および付加情報ビット d_k ($k=N, N+1$) の受信信号を x_k とし、付加情報ビット d_k^* ($k=N, N+1$) の受信信号を x_k^* とし、第1のパリティビット $p1_k$ ($k=0, 1, \dots, N+1$) の受信信号を $y1_k$ とし、第2のパリティビット $p2_k$ ($k=0, 1, \dots, N+1$) の受信信号を $y2_k$ とする。また、 $k=0, 1, \dots, N-1$ については、 $x_k^* = x_{INT(k)}$ とする。

【0024】

そして、系列 $X1, X2, Y1, Y2$ を $X1 = \{x_k (k=0, 1, \dots, N+1)\}$, $X2 = \{x_k^* (k=0, 1, \dots, N+1)\}$, $Y1 = \{y1_k (k=0, 1, \dots, N+1)\}$, $Y2 = \{y2_k (k=0, 1, \dots, N+1)\}$ と定義すると、系列 $X1$ と系列 $Y1$ が要素符号器101Aに対応する受信系列であり、系列 $X2$ と系列 $Y2$ が要素符号器101Bに対応する受信系列である。以下、系列 $\{X1, Y1\}$ を第1の符号受信系列と呼び、系列 $\{X2, Y2\}$ を第2の符号受信系列と呼ぶ。

【0025】

次に、ターボ符号の復号について説明する。

ターボ符号の復号方法としては、例えば「ターボ符号の基礎」（荻原春生著、トリケップス社発行）に記載されている、軟出力ビタビアルゴリズム(Soft Output Viterbi Algorithm, SOVA)やMAP復号法(Maximum A Posteriori probability、最大事後確率)あるいはLogMAP復号法などが知られている。

【0026】

ここでは、一例として、MAP復号法による、前述した符号化レート $1/3$ かつ拘束長3のターボ符号の復号について説明する。図15はターボ符号の従来の復号回路のブロック図である。図において、201Aは通信路値 X_1 、 Y_1 および事前値 L_a からMAP復号法に従って外部値 L_e を生成する復号器であり、201Bは通信路値 X_1 をインタリーブした通信路値 $X_2 (=X_1^*)$ 、通信路値 Y_2 および事前値 L_a^* からMAP復号法に従って外部値 L_e^* および事後値 L_k^* を生成する復号器であり、202Aは所定の写像関係に基づいて外部値 L_e のビット L_{e_k} を並べ替え、事前値 $L_{a_k}^*$ を生成するインタリーブであり、202Bは所定の写像関係に基づいて通信路値 X のビット x_k を並べ替え、ビット系列 $X^* = \{x_k^*\}$ を生成するインタリーブであり、203は外部値 $L_{e_k}^*$ を逆写像するデインタリーブであり、204は事後値の正負により情報ビットの値を推定する判定器である。

【0027】

次に動作について説明する。

図16は図15の復号器201A、201Bについてのトレリス線図上のパスの例を示す図である。

【0028】

復号器201Aは、入力された通信路値 X_1 、 Y_1 および事前値 L_a ($L_a = \{L_{a_k} (k=0, 1, \dots, N+1)\}$) から式(2)に従って事後値 L_k (対数事後確率比) を計算する。この事後値 L_k は情報ビット d_k の信頼度を表すものであり、情報ビット d_k の値が1である確率が高ければ正の大きな値となり、情報ビット d_k の値が0である確率が高ければ負の大きな値となる。

【数 1】

$$L_k = L(d_k) = \log \frac{P(d_k = 1 | X1, Y1)}{P(d_k = 0 | X1, Y1)} \quad \dots (2)$$

【0029】

このときの事後値 L_k の計算について詳細に説明する。

まず、復号器 201A は、各時点 k において式 (3) に従って状態遷移確率 $\gamma_k(m^*, m)$ ($m, m^* = 0, 1, 2, 3$) を計算する。なお、状態遷移確率 $\gamma_k(m^*, m)$ はビタビアルゴリズムにおけるブランチメトリックに相当する量であり、時点 k において状態 m^* から時点 $k+1$ において状態 m へ遷移する確率を表す。

$$\begin{aligned} \gamma_k(m^*, m) \\ = P(y_{1k} | p) P(x_k | i) P(d_k = i) \quad \dots (3) \end{aligned}$$

ここで、 i は遷移時の情報ビットであり、 p は遷移時のパリティビットである。

【0030】

式 (3) のうち、 $P(r | b)$ はビット b を送信した上で受信信号として r を受信する確率である。また、 $P(d_k = i)$ は情報ビット d_k が i である事前確率であり、事前値 L_{a_k} から式 (4) に従って計算される。

【数 2】

$$P(d_k = i) = \frac{\exp(i \cdot L_{a_k})}{1 + \exp(L_{a_k})} \quad \dots (4)$$

【0031】

なお、第 1 回目の復号では事前値 L_{a_k} ($k = 0, 1, \dots, N-1$) を 0 に設定する。また、テイルビット部分の付加情報ビット x_k ($k = N, N+1$) の事前値 L_{a_k} ($k = N, N+1$) は常に 0 に設定する。

【0032】

このように計算された状態遷移確率 $\gamma_k(m, m^*)$ は図示せぬメモリに格納

される。

【0033】

次に、復号器201Aは、計算した状態遷移確率 $\gamma_k(m, m^*)$ ($m, m^* = 0, 1, 2, 3$) から式(5)に示す順方向再帰式に従って順方向のパスの確率 $\alpha_k(m)$ ($m = 0, 1, 2, 3$) を $k = 0$ から $k = N + 1$ まで順番に計算し、図示せぬメモリに格納する。なお、順方向のパス確率の初期値 $\alpha_0(m)$ ($m = 0, 1, 2, 3$) は式(6)に従って設定される。

【数3】

$$\alpha_k(m) = \sum_{m^*} \gamma_{k-1}(m^*, m) \alpha_{k-1}(m^*) \quad \dots (5)$$

【数4】

$$\alpha_0(m) = \begin{cases} 1 & (m = 0) \\ 0 & (m \neq 0) \end{cases} \quad \dots (6)$$

【0034】

すなわち、確率 $\alpha_k(m)$ は、トレリス線図上において、時点 $k = 0$ の初期状態 $m = 0$ から時点の進行に沿って（すなわち順方向に）遷移する符号器の状態が時点 k で状態 m に到達する確率であり、時点の進行方向に沿って逐次的に計算される。また、後述の確率 $\beta_k(m)$ は、最終状態から時点の進行を遡って（すなわち逆方向に進行して）符号器の状態が時点 k で状態 m に到達する確率である。

【0035】

例えば図16(a)に示すように時点 k において状態 $m = 1$ である場合のパスの確率 $\alpha_k(1)$ は、時点 $k - 1$ における状態 $m = 0$ であるパスの確率 $\alpha_{k-1}(0)$ と時点 $k - 1$ における状態 $m = 2$ であるパスの確率 $\alpha_{k-1}(2)$ から式(7)に従って計算される。

$$\begin{aligned} \alpha_k(1) &= \gamma_{k-1}(0, 1) \alpha_{k-1}(0) \\ &+ \gamma_{k-1}(2, 1) \alpha_{k-1}(2) \quad \dots (7) \end{aligned}$$

【0036】

復号器 201A は、順方向のすべてのパスの確率 $\alpha_k(m)$ を計算した後、式 (8) に示す逆方向再帰式に従って逆方向のパスの確率 $\beta_k(m)$ ($m=0, 1, 2, 3$) を計算する。

【数 5】

$$\beta_k(m) = \sum_{m^*} \gamma_k(m, m^*) \beta_{k+1}(m^*) \quad \dots (8)$$

【0037】

このとき、復号器 201A は、図示せぬメモリに格納された状態遷移確率 $\gamma_k(m, m^*)$ を読み出し、式 (8) に従って逆方向のパスの確率 $\beta_k(m)$ を、 $k=N+1$ から $k=0$ まで順番に計算し、図示せぬメモリに格納する。なお、逆方向のパスの初期値 $\beta_{N+2}(m)$ ($m=0, 1, 2, 3$) は式 (9) に従って設定される。

【数 6】

$$\beta_{N+2}(m) = \begin{cases} 1 & (m=0) \\ 0 & (m \neq 0) \end{cases} \quad \dots (9)$$

【0038】

例えば図 16 (b) に示すように時点 k において状態 $m=2$ である場合のパスの確率 $\beta_k(2)$ は、時点 $k+1$ における状態 $m=0$ であるパスの確率 $\beta_{k+1}(0)$ と時点 $k+1$ における状態 $m=1$ であるパスの確率 $\beta_{k+1}(1)$ から式 (10) に従って計算される。

$$\begin{aligned} \beta_k(2) &= \gamma_k(2, 0) \beta_{k+1}(0) \\ &+ \gamma_k(2, 1) \beta_{k+1}(1) \quad \dots (10) \end{aligned}$$

【0039】

さらに、復号器 201A は、逆方向のパスの確率 $\beta_k(m)$ の計算と並行して式 (11) に従って事後値 L_k を計算する。

【数 7】

$$L_k = \log \frac{\sum_{m \rightarrow m^*, d_k=1} \alpha_k(m) \gamma_k(m, m^*) \beta_{k+1}(m^*)}{\sum_{m \rightarrow m^*, d_k=0} \alpha_k(m) \gamma_k(m, m^*) \beta_{k+1}(m^*)} \dots (11)$$

【0040】

このとき、復号器 201A は、図示せぬメモリから逆方向のパスの確率 $\beta_{k+1}(m^*)$ 、状態遷移確率 $\gamma_k(m, m^*)$ 、順方向のパスの確率 $\alpha_k(m)$ を読み出し、式 (2) の事後値 L_k を式 (11) に従って計算する。なお、式 (11) の分母は情報ビット d_k が 0 である場合のすべての状態遷移 $m \rightarrow m^*$ についての総和であり、式 (11) の分子は情報ビット d_k が 1 である場合のすべての状態遷移 $m \rightarrow m^*$ についての総和である。

【0041】

式 (11) の事後値 L_k は式 (12) に示すように 3 つの項に分解される。第 1 項 $Lc \cdot x_k$ は通信路値 x_k から得られる値 (Lc は通信路に依存する定数であり、以下、簡単のためにこの値 $Lc \cdot x_k$ を単に通信路値という。) であり、第 2 項 La_k は状態遷移確率 $\gamma_k(m, m^*)$ を計算するために使用する事前値であり、第 3 項 Le_k は符号の拘束による事後値の増分である外部値である。

【数 8】

$$L_k = \log \frac{P(x_k | d_k = 1)}{P(x_k | d_k = 0)} + \log \frac{P(d_k = 1)}{P(d_k = 0)} + \log \frac{\sum_{m \rightarrow m^*, d_k=1} \alpha_{k-1}(m) P(y_k | p) \beta_k(m^*)}{\sum_{m \rightarrow m^*, d_k=0} \alpha_{k-1}(m) P(y_k | p) \beta_k(m^*)}$$

$$= Lc \cdot x_k + La_k + Le_k \dots (12)$$

【0042】

また、復号器 201A は、式 (13) に従って、この外部値 Le_k を計算し、図示せぬメモリに格納する。

$$Le_k = L_k - Lc \cdot x_k - La_k \dots (13)$$

【0043】

このようにして、復号器201Aは外部値 $L_e = \{L_{e0}, L_{e1}, \dots, L_{eN-2}, L_{eN-1}\}$ を計算し、インタリーバ202Aに入力する。

【0044】

インタリーバ202Aは、入力された外部値 L_e の順番を並べ替えて、復号器201Bで使用される事前値 $L_a^* = \{L_{a_k}^* = L_{e \text{ INT}(k)} \quad (k=0, 1, \dots, N-1)\}$ を生成する。

【0045】

復号器201Bは、通信路値 X_2, Y_2 および事前値 L_a^* から、復号器201Aと同様にして、事後値 L_k^* および外部値 $L_e^* = \{L_{e0}^*, L_{e1}^*, \dots, L_{eN-2}^*, L_{eN-1}^*\}$ を計算する。この外部値 L_e^* はデインタリーバ203に入力される。

【0046】

デインタリーバ203は、その外部値 L_e^* を所定の逆写像に従って並び替え、復号器201Aで使用される事前値 $L_a = \{L_{a_k} = L_{e^* \text{ DEINT}(k)}\}$ を生成する。

【0047】

以上の処理によりターボ符号の1回の復号が完了する。

ターボ符号の復号ではこの処理を複数回繰り返して事後値の精度向上を図り、最終回において復号器201Bにより計算された事後値 L_k^* が判定器204に入力される。判定器204は、式(14)に従って、その事後値 L_k の正負により情報ビット d_k の値を判定する。

【数9】

$$d_k^* = \begin{cases} 0 & (L_k^* \leq 0) \\ 1 & (L_k^* > 0) \end{cases} \quad \dots (14)$$

【0048】

図17は従来の復号回路による第1および第2の符号受信系列の復号を説明するタイミングチャートである。

上述のように、復号器201Aは、第1の符号受信系列に対して、 $k=0$ から

$k = N + 1$ まで順番に 1 時点ずつ状態遷移確率を計算し、それに並行して、順方向のパスの確率 $\alpha_k(m)$ を計算し（ステップ 1）、その後、 $k = N + 2$ から $k = 1$ まで順番に 1 時点ずつ逆方向のパスの確率 $\beta_k(m)$ を計算し、それに並行して、事後値 L_k を計算し、外部値 $L e_k$ を計算する（ステップ 2）。これにより、第 1 の符号受信系列の復号が完了する。その後に、復号器 2 0 1 B は、第 2 の符号受信系列に対して同様の処理を実行して（ステップ 3, 4）、事後値 L_k^* および外部値 $L e_k^*$ を計算する。

【 0 0 4 9 】

以上でターボ符号の 1 回の復号が完了する。したがって、図 1 7 に示すように、ターボ符号の符号長を N とすると、1 回の復号に要するステップ数は $4 N$ である。

【 0 0 5 0 】

【発明が解決しようとする課題】

従来の復号回路および復号方法は以上のように構成されているので、受信系列や外部値にインタリーブまたはデインタリーブを施すため、受信系列または外部値のすべてが揃うまで待たなければならず、リアルタイムに復号を実行することが困難であるとともに、復号処理に要する時間を低減することが困難であるなどの課題があった。

【 0 0 5 1 】

また、従来の復号回路および復号方法は以上のように構成されているので、復号処理のステップ数が符号長に比例し、符号長が大きい場合には復号遅延が大きくなり、リアルタイムに復号を実行することが困難であるとともに、復号処理に要する時間を低減することが困難であるなどの課題があった。

【 0 0 5 2 】

さらに、ターボ符号の復号では復号に必要なメモリ容量が符号長に比例するため、また、計算した順方向のパスの確率を記憶しておく必要があるため、符号長の長いまたは拘束長が大きい（要素符号器の状態数が多い）場合、メモリの容量を低減し、回路規模を低減することが困難であるなどの課題があった。

【 0 0 5 3 】

この発明は上記のような課題を解決するためになされたもので、符号受信系列を時間方向において複数のブロックに分割し、各ブロックを並行して復号するようにして、分割数を n とすると、復号に要する時間を $1/n$ に低減することができる復号回路および復号方法を得ることを目的とする。

【 0 0 5 4 】

また、この発明は符号受信系列を時間方向において複数のブロックに分割し、各ブロックを順番に復号するようして、符号受信系列の分割数を n とすると、順方向のパス確率を格納するパスメトリックメモリの容量を約 $1/n$ に低減することができる復号回路および復号方法を得ることを目的とする。

【 0 0 5 5 】

【課題を解決するための手段】

この発明に係る復号回路は、符号受信系列を時間方向において複数のブロックに分割し、各ブロックを並行して復号する複数の復号器を備えるものである。

【 0 0 5 6 】

この発明に係る復号回路は、符号受信系列を時間方向において複数のブロックに分割し、各ブロックを順番に復号する 1 つの復号器を備えるものである。

【 0 0 5 7 】

この発明に係る復号回路は、各復号器に、各ブロックの通信路値および事前値から順方向および逆方向の状態遷移確率を計算する遷移確率計算回路と、順方向の状態遷移確率に基づいて順方向のパス確率を計算し、逆方向の状態遷移確率に基づいて逆方向のパス確率を計算するパス確率計算回路と、順方向のパス確率、逆方向の状態遷移確率および逆方向のパス確率に基づいて事後値を計算する事後値計算回路と、その事後値から情報ビットに対応する通信路値および事前値を減算して外部値を計算する外部値計算回路とを有するものである。

【 0 0 5 8 】

この発明に係る復号回路は、複数の復号器のそれぞれが、最後に計算した順方向のパス確率および逆方向のパス確率のいずれか一方を他の復号器へ入力し、他の復号器から入力された順方向または逆方向のパス確率を順方向または逆方向のパス確率の初期値に設定するようにしたものである。

【 0 0 5 9 】

この発明に係る復号回路は、復号器に、パンクチャされた符号の符号受信系列のうちの、パンクチャされたビットに対応する通信路値に信頼度の最も低い値を挿入するデパンクチャ回路を有するものである。

【 0 0 6 0 】

この発明に係る復号回路は、復号器が、各ブロックの入力が完了するとそのブロックの復号を開始し、事後値を出力する際、先頭のブロックから順番にそのブロックの各通信路値に対応する事後値を出力するようにしたものである。

【 0 0 6 1 】

この発明に係る復号回路は、復号器が、入力が未完了であるブロックから事後値を生成し、その事後値に対応する事前値を、入力が完了しているブロックの復号のための事前値とするようにしたものである。

【 0 0 6 2 】

この発明に係る復号回路は、符号受信系列を複数のブロックに分割する際に、各ブロックをオーバーラップさせるようにしたものである。

【 0 0 6 3 】

この発明に係る復号方法は、符号受信系列を時間方向において複数のブロックに分割し、各ブロックを並行して復号するものである。

【 0 0 6 4 】

この発明に係る復号方法は、符号受信系列を時間方向において複数のブロックに分割し、各ブロックを順番に復号するものである。

【 0 0 6 5 】

この発明に係る符号化回路は、情報ビット系列をインタリーブするインタリーブと、情報ビット系列またはインタリーブによりインタリーブされた系列からそれぞれパリティビット系列を生成する複数の要素符号器と、複数の要素符号器により生成された複数のパリティビット系列に対してパンクチャ処理を実行し、パリティビット系列の数を減らすパンクチャ回路とを備えるものである。

【 0 0 6 6 】

この発明に係る符号化方法は、情報ビット系列をインタリーブするステップと

、情報ビット系列またはインタリーブした系列からそれぞれパリティビット系列を生成するステップと、生成した複数のパリティビット系列に対してパンクチャ処理を実行し、パリティビット系列の数を減らすステップとを備えるものである。

【 0 0 6 7 】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態 1.

図 1 はこの発明の実施の形態 1 による復号回路の構成を示すブロック図であり、図 2 は図 1 における復号器の構成を示すブロック図である。

【 0 0 6 8 】

図 1 において、1 は符号受信系列として受信された通信路値を入力するとともに、復号結果を出力する入出力インタフェースであり、2 A, 2 B, 2 C は入出力インタフェース 1 を介して入力された通信路値を格納する複数の通信路値メモリであり、3 は複数の復号器 4 A, 4 B から出力されるターボ符号の各ブロックの復号結果を格納する出力バッファであり、4 A, 4 B はターボ符号を構成する複数のブロックを軟入力軟出力復号する複数の復号器であり、5 はターボ符号の軟入力軟出力復号により計算される外部値を格納する外部値メモリである。

【 0 0 6 9 】

図 2 に示す復号器 4 A, 4 B において、1 1 は複数の通信路値メモリ 2 A, 2 B, 2 C から通信路値を読み出す通信路値メモリインタフェースであり、1 2 は通信路値と外部値から状態遷移確率を計算する遷移確率計算回路であり、1 3 は状態遷移確率から、順方向再帰式に従って順方向のパス確率を計算し、逆方向再帰式に従って逆方向のパス確率を計算するパス確率計算回路であり、1 4 は順方向および逆方向のパス確率を一時的に記憶する記憶回路であり、1 5 は順方向のパス確率を格納するパスメモリであり、1 6 は順方向および逆方向のパス確率並びに状態遷移確率から事後値を計算する事後値計算回路であり、1 7 は事後値から外部値を計算する外部値計算回路であり、1 8 は外部値メモリ 5 との間で外部値の授受を実行する外部値メモリインタフェースであり、1 9 は記憶

回路 1 4 にパス確率の初期値を設定する初期値設定回路である。なお、通信路値メモリインタフェース 1 1 および外部値メモリインタフェース 1 8 は図示せぬインターリーブテーブルを有する。

【 0 0 7 0 】

なお、通信路値メモリ 2 A, 2 B, 2 C および出力バッファ 3 は 2 つの入出力ポートを有するマルチポートメモリであり、外部値メモリ 5 は 4 つの入出力ポートを有し、同時に 2 つのポートからの読み出し、2 つのポートからの書き込みの可能なマルチポートメモリである。

【 0 0 7 1 】

次に動作について説明する。

図 3 は実施の形態 1 による復号回路の動作について説明するフローチャートであり、図 4 は実施の形態 1 による復号回路の動作について説明するタイミングチャートである。

【 0 0 7 2 】

ここでは、符号化レート $1/3$ かつ拘束長 3 のターボ符号に対する動作について説明する。実施の形態 1 では説明を簡単にするために情報ビット長を $2N$ とする。なお、記号などは上述のものと同様な意味を有するものとする。また、他の符号化レート、他の拘束長のターボ符号も同様に復号可能であることはもちろんである。

【 0 0 7 3 】

まず、情報ビット系列（付加情報の 4 ビットも含む）の受信系列 $X = \{x_0, x_1, \dots, x_{2N-1}, x_{2N}, x_{2N+1}, x_{2N}^*, x_{2N+1}^*\}$ 、第 1 のパリティビット系列 P_1 の受信系列 $Y_1 = \{y_{10}, y_{11}, \dots, y_{12N-1}, y_{12N}, y_{12N+1}\}$ 、第 2 のパリティビット系列 P_2 の受信系列 $Y_2 = \{y_{20}, y_{21}, \dots, y_{22N-1}, y_{22N}, y_{22N+1}\}$ が入出力インタフェース 1 に入力されると、系列 X は通信路値メモリ 2 A に格納され、系列 Y_1 は通信路値メモリ 2 B に格納され、系列 Y_2 は通信路値メモリ 2 C に格納される。

【 0 0 7 4 】

なお、 x_k ($k=0, 1, \dots, 2N+1$) は通信路値メモリ 2A のアドレス k に格納され、 x_{2N}^* , x_{2N+1}^* は通信路値メモリ 2A のアドレス $2N+2$, $2N+3$ に格納され、 y_{1k} ($k=0, 1, \dots, 2N+1$) は通信路値メモリ 2B のアドレス k に格納され、 y_{2k} ($k=0, 1, \dots, 2N+1$) は通信路値メモリ 2C のアドレス k に格納される。

【0075】

ここで符号受信系列 X に基づく系列 X_1 , X_2 を次のように定義する。

$$X_1 = \{x_k \ (k=0, 1, \dots, 2N+1)\}$$

$$X_2 = \{x_k^* = x_{INT(k)} \ (k=0, 1, \dots, 2N-1), x_{2N}^*, x_{2N+1}^*\}$$

【0076】

このようにすると、系列 X_1 , Y_1 はターボ符号器の第1の要素符号器の情報ビット系列とパリティビット系列に対応する受信系列であり、系列 X_2 , Y_2 はターボ符号の第2の要素符号器の情報ビット系列とパリティビット系列に対応する受信系列である。以下、 $\{X_1, Y_1\}$ を第1の符号受信系列と呼び、 $\{X_2, Y_2\}$ を第2の符号受信系列と呼ぶ。

【0077】

ここで、系列 X_1 , X_2 , Y_1 , Y_2 をそれぞれ2分割した部分系列 X_{11} , X_{12} , X_{21} , X_{22} , Y_{11} , Y_{12} , Y_{21} , Y_{22} を次に示すように定義する。

$$X_{11} = \{x_k \ (k=0, 1, \dots, N-1)\}$$

$$X_{12} = \{x_k \ (k=N, N+1, \dots, 2N+1)\}$$

$$X_{21} = \{x_k^* \ (k=0, 1, \dots, N-1)\}$$

$$X_{22} = \{x_k^* \ (k=N, N+1, \dots, 2N+1)\}$$

$$Y_{11} = \{y_{1k} \ (k=0, 1, \dots, N-1)\}$$

$$Y_{12} = \{y_{1k} \ (k=N, N+1, \dots, 2N+1)\}$$

$$Y_{21} = \{y_{2k} \ (k=0, 1, \dots, N-1)\}$$

$$Y_{22} = \{y_{2k} \ (k=N, N+1, \dots, 2N+1)\}$$

【0078】

これらの部分系列に基づく、第1の符号受信系列 $\{X_1, Y_1\}$ は、第1ブロック $B_{11} = \{X_{11}, Y_{11}\}$ および第2ブロック $B_{12} = \{X_{12}, Y_{12}\}$ で構成され、第2の符号受信系列 $\{X_2, Y_2\}$ は、第1ブロック $B_{21} = \{X_{21}, Y_{21}\}$ および第2ブロック $B_{22} = \{X_{22}, Y_{22}\}$ で構成されている。

【0079】

そして、復号器4A、4BはまずステップST1において第1の符号受信系列の復号のための事前値 L_{a_k} を初期値0とし、復号器4Aは、ステップST2Aにおいて、通信路値メモリ2A、2Bから、第1の符号受信系列の第1ブロック B_{11} を構成する通信路値を読み出し、第1の符号受信系列の第1ブロック B_{11} を復号し、図4に示すようにそれに並行して復号器4Bは、ステップST2Bにおいて、通信路値メモリ2A、2Bから、第1の符号受信系列の第2ブロック B_{12} を構成する通信路値を読み出し、第1の符号受信系列の第2ブロック B_{12} を復号する。

【0080】

このとき復号器4Aは、まず、第1の符号受信系列の第1ブロック $B_{11} = \{X_{11}, Y_{11}\}$ から順方向再帰式に従って順方向のパス確率 α_k ($k=0, 1, \dots, N$) を計算し、逆方向再帰式に従って逆方向のパス確率 β_k ($k=N, N-1, \dots, 1$) を計算する。そして復号器4Aは、その順方向のパス確率 α_k 、逆方向のパス確率 β_k などから事後値 L_k ($k=0, 1, \dots, N-1$) を計算し、情報ビットの前半分 d_k の外部値 L_{e_k} ($k=0, 1, \dots, N-1$) を計算する。

【0081】

一方、それに並行して復号器4Bは、第1の符号受信系列の第2ブロック $B_{12} = \{X_{12}, Y_{12}\}$ から順方向再帰式に従って順方向のパス確率 α_k ($k=N, N+1, \dots, 2N+1$) を計算し、逆方向再帰式に従って逆方向のパス確率 β_k ($k=2N+1, 2N, \dots, N$) を計算する。そして復号器4Bはその順方向のパス確率 α_k 、逆方向のパス確率 β_k などから事後値 L_k ($k=N, N+1, \dots, 2N-1$) を計算し、情報ビットの後半分 d_k の外部値 L_{e_k}

k ($k = N, N+1, \dots, 2N-1$) を計算する。

【0082】

なお、第1の符号受信系列の第2ブロックB12にはテイルビットのうちの付加情報ビットが含まれるが、付加情報ビットの事後値と外部値は計算しない。

【0083】

このようにして復号器4A, 4Bが並列に動作して第1の符号受信系列{X1, Y1}のMAP復号が実行される。

【0084】

そして、ステップST3において、復号器4A, 4Bは、生成した外部値 Le_k をインタリーブして第2の符号受信系列の復号のための事前値 $L^* a_k$ を生成する。復号器4Aは、ステップST4Aにおいて、通信路値メモリ2A, 2Cから、第2の符号受信系列の第1ブロックB21を構成する通信路値を読み出し、第2の符号受信系列の第1ブロックB21を復号し、図4に示すようにそれに並行して復号器4Bは、ステップST4Bにおいて、通信路値メモリ2A, 2Cから、第2の符号受信系列の第2ブロックB22を構成する通信路値を読み出し、第2の符号受信系列の第2ブロックB22を復号し、事後値 L_k を生成して適宜出力バッファ3に格納するとともに、外部値 $Le^* k$ を生成して外部値メモリ5に記憶する。

【0085】

このとき復号器4Aは、まず、第2の符号受信系列の第1ブロックB21 = {X21, Y21}から順方向再帰式に従って順方向のパス確率 α_k ($k = 0, 1, \dots, N$)を計算し、逆方向再帰式に従って逆方向のパス確率 β_k ($k = N, N-1, \dots, 1$)を計算する。そして復号器4Aは、その順方向のパス確率 α_k 、逆方向のパス確率 β_k などから事後値 L_k ($k = 0, 1, \dots, N-1$)を計算し、インタリーブした情報ビットの前半分 $d^* k$ の外部値 $Le^* k$ ($k = 0, 1, \dots, N-1$)を計算する。

【0086】

一方、それに並行して復号器4Bは、第2の符号受信系列の第2ブロックB22 = {X22, Y22}から順方向再帰式に従って順方向のパス確率 α_k ($k =$

$N, N+1, \dots, 2N+1$) を計算し、逆方向再帰式に従って逆方向のパス確率 β_k ($k = 2N+1, 2N, \dots, N$) を計算する。そして復号器4Bはその順方向のパス確率 α_k 、逆方向のパス確率 β_k などから、事後値 L_k ($k = N, N+1, \dots, 2N-1$) を計算し、インタリーブした情報ビットの後半分 d_k^* の外部値 $L e_k^*$ ($k = N, N+1, \dots, 2N-1$) を計算する。

【0087】

なお、第2の符号受信系列の第2ブロックB22にはテイルビットのうちの付加情報ビットが含まれるが、付加情報ビットの事後値と外部値は計算しない。

【0088】

このようにして復号器4A、4Bが並列に動作して第2の符号受信系列{X2, Y2}のMAP復号が実行される。

【0089】

その後、ステップST5において、復号器4A、4Bは、その外部値 $L e_k^*$ をデインタリーブして次回の復号のための事前値 $L a_k$ を生成する。なお、外部値 $L e_k^*$ を外部値メモリ5のアドレスINT(k)に格納し、次回の復号ではアドレスkから事後値 $L e_k$ を読み出し事前値 $L a_k$ とする場合には、デインタリーブ処理は別途必要ない。

【0090】

以上でターボ符号の第1回目の復号が終了する。図3に示すように、以降、前回の復号で生成した外部値 $L e_k$ を事前値 $L a_k$ として使用し、必要に応じた回数の復号が実行され、最後の復号によって生成された事後値が出力される。そして、その事後値に基づいて情報ビットの値が推定される。

【0091】

次に、図2を参照して復号器4A、4Bの動作について詳細に説明する。

まず、第1の符号受信系列の第1ブロックB11を復号する際(ステップST2A)の復号器4Aの動作について説明する。

【0092】

復号器4Aにおいて、順方向の各パス確率 α_k (m) の計算を開始する前に、初期値設定回路19により記憶回路14に、順方向のパス確率の初期値 α_0 (0

) = 1, $\alpha_0(m) = 0$ ($m = 1, 2, 3$) が設定される。

【0093】

次に $k = 0$ から $k = N - 1$ まで順番に、通信路値メモリ 2 A のアドレス k に格納されている x_k と通信路値メモリ 2 B に格納されている y_{1k} が通信路値メモリインタフェース 11 を介して遷移確率計算回路 12 へ入力され、同時に、外部値メモリ 5 のアドレス k に格納されている外部値 Le_k が外部値メモリインタフェース 18 を介して遷移確率計算回路 12 へ入力される。

【0094】

遷移確率計算回路 12 は、その外部値 Le_k を事前値 La_k として、その事前値 La_k および通信路値 x_k, y_{1k} から式 (3), (4) に従って順方向の各状態遷移の状態遷移確率 $\gamma_k(m^*, m)$ を計算し、パス確率計算回路 13 に入力する。なお、第 1 回目の復号では外部値 Le_k の読み出しは行わず、事前値 La_k は 0 に設定される (ステップ ST1)。

【0095】

パス確率計算回路 13 は、その状態遷移確率 $\gamma_{k-1}(m^*, m)$ と記憶回路 14 に記憶された 1 時点前の順方向のパス確率 $\alpha_{k-1}(m^*)$ ($m^* = 0, 1, 2, 3$) から式 (5) に従ってその時点 k の順方向のパス確率 $\alpha_k(m)$ ($m = 0, 1, 2, 3$) を計算し、記憶回路 14 に格納する。

【0096】

パス確率計算回路 13 により計算された順方向のパス確率 $\alpha_k(m)$ は記憶回路 14 により 1 時点分だけ遅延され、パス確率計算回路 13 およびパスメトリックメモリ 15 に供給され、パスメトリックメモリ 15 のアドレス k に格納される。

【0097】

そして、パス確率計算回路 13 は、最後の順方向のパス確率 $\alpha_N(m)$ ($m = 0, 1, 2, 3$) を計算した後、逆方向のパス確率 $\beta_k(m)$ を $k = N - 1$ から $k = 1$ まで順番に計算する。なお、最後の順方向のパス確率 $\alpha_N(m)$ ($m = 0, 1, 2, 3$) は復号器 4 B の初期値設定回路 19 にも供給され、保持される。

【0098】

このとき、逆方向のパス確率 $\beta_k(m)$ の計算を開始する前に、初期値設定回路 19 により記憶回路 14 に、第 1 回目の復号では、逆方向のパス確率の初期値として $\beta_N(m) = 1/4$ ($m = 0, 1, 2, 3$) が設定され、第 2 回目以降の復号では、前回の第 1 の符号受信系列の第 2 ブロック B 12 の復号で計算された $\beta_N(m)$ ($m = 0, 1, 2, 3$) が設定される。

【0099】

逆方向のパス確率 $\beta_k(m)$ の計算では、まず、通信路値メモリ 2A に格納されている通信路値 x_k 、および通信路値メモリ 2B に格納されている通信路値 y_{1k} が通信路値メモリインタフェース 11 を介して遷移確率計算回路 12 へ入力され、同時に、外部値メモリ 5 に格納されている外部値 $L e_k$ が外部値メモリインタフェース 18 を介して遷移確率計算回路 12 へ入力される。

【0100】

そして遷移確率計算回路 12 は、その外部値 $L e_k$ を事前値 $L a_k$ とし、その事前値 $L a_k$ および通信路値 x_k, y_{1k} から式 (3), (4) に従って逆方向の各状態遷移の状態遷移確率 $\gamma_k(m, m^*)$ を計算し、パス確率計算回路 13 および事後値計算回路 16 に入力する。なお、第 1 回目の復号では外部値 $L e_k$ の読み出しは行わず、事前値 $L a_k$ は 0 に設定される (ステップ ST1)。

【0101】

パス確率計算回路 13 は、その状態遷移確率 $\gamma_k(m, m^*)$ と記憶回路 14 に記憶された 1 時点後 ($k+1$) の逆方向のパス確率 $\beta_{k+1}(m^*)$ ($m^* = 0, 1, 2, 3$) から式 (8) に従って時点 k の逆方向のパス確率 $\beta_k(m)$ ($m = 0, 1, 2, 3$) を計算し、記憶回路 14 に格納する。

【0102】

パス確率計算回路 13 により計算された逆方向のパス確率 $\beta_k(m)$ は記憶回路 14 により 1 時点分だけ遅延され、パス確率計算回路 13 および事後値計算回路 16 に入力される。

【0103】

すなわち、時点 k については、記憶回路 14 からのパス確率 $\beta_{k+1}(m)$ 、遷移確率計算回路 12 からの $\gamma_k(m, m^*)$ 、およびバスメトリックメモリ 1

5 のアドレス k に格納された順方向のパス確率 $\alpha_k(m)$ ($m=0, 1, 2, 3$) が事後値計算回路 16 へ入力される。なお、逆方向のパス確率 $\beta_k(m)$ は $k=N-1$ から $k=1$ まで順番に計算される。

【0104】

そして事後値計算回路 16 は、入力された順方向のパス確率 $\alpha_k(m)$ ($m=0, 1, 2, 3$)、逆方向のパス確率 $\beta_{k+1}(m^*)$ ($m^*=0, 1, 2, 3$) および状態遷移確率 $\gamma_k(m, m^*)$ ($m, m^*=0, 1, 2, 3$) から式 (11) に従って事後値 L_k を計算し、外部値計算回路 17 に入力する。

【0105】

外部値計算回路 17 は、その事後値 L_k から通信路値 $L_c \cdot x_k$ および事前値 $L a_k$ を減算して外部値 $L e_k$ を計算し、外部値メモリインタフェース 18 を介して外部値メモリ 5 のアドレス k に書き込む。

【0106】

このようにして、復号器 4A により、第 1 の符号受信系列の第 1 ブロック B11 が復号され、外部値 $L e_k$ ($k=0, 1, \dots, N-1$) が生成される。

【0107】

次に、第 1 の符号受信系列の第 2 ブロック B12 を復号する際 (ステップ ST2B) の復号器 4B の動作について説明する。復号器 4B は、復号器 4A の第 1 ブロック B11 の復号と同様に、事前値 $L a_k$ を 0 として、第 1 の符号受信系列の第 2 ブロック $B12 = \{X12, Y12\}$ に対して MAP 復号を実行する。

【0108】

まず、初期値設定回路 19 により記憶回路 14 に、第 1 回目の復号では、順方向のパス確率の初期値として $\alpha_N(m) = 1/4$ ($m=0, 1, 2, 3$) が設定され、第 2 回目以降の復号では、前回の第 1 の符号受信系列の第 1 ブロック B11 の復号で計算された $\alpha_N(m)$ ($m=0, 1, 2, 3$) が設定される。

【0109】

次に通信路値 $x_k, y1_k$ が $k=N$ から $k=2N+1$ まで順番に遷移確率計算回路 12 へ入力され、外部値 $L e_k$ が $k=N$ から $k=2N-1$ まで順番に遷移確率計算回路 12 へ入力される。

【0110】

遷移確率計算回路12は、その外部値 Le_k を事前値 La_k として、その事前値 La_k および通信路値 x_k , y_{1k} から式(3), (4)に従って順方向の各状態遷移の状態遷移確率 $\gamma_k(m^*, m)$ を計算し、パス確率計算回路13に入力する。なお、第1回目の復号では外部値 Le_k の読み出しは行わず、事前値 La_k は0に設定される(ステップST1)。また、付加情報ビットの事前値は常に0とする。

【0111】

パス確率計算回路13は、その状態遷移確率 $\gamma_{k-1}(m^*, m)$ と記憶回路14に記憶された1時点前の順方向のパス確率 $\alpha_{k-1}(m^*)$ ($m^* = 0, 1, 2, 3$)から式(5)に示す順方向再帰式に従って時点 k の順方向のパス確率 $\alpha_k(m)$ ($m = 0, 1, 2, 3$)を計算し、記憶回路14に格納する。

【0112】

パス確率計算回路13により計算された順方向のパス確率 $\alpha_k(m)$ は記憶回路14により1時点分だけ遅延され、パス確率計算回路13およびパスメトリックメモリ15に供給され、パスメトリックメモリ15のアドレス k に格納される。

【0113】

そして、パス確率計算回路13は、最後の順方向のパス確率 $\alpha_{2N+1}(m)$ を計算した後、逆方向のパス確率 $\beta_k(m)$ を $k = 2N+1$ から $k = N$ まで順番に計算する。なお、最後の逆方向のパス確率 $\beta_N(m)$ は復号器4Aの初期値設定回路19にも供給され、保持される。

【0114】

このとき、逆方向のパス確率 $\beta_k(m)$ の計算を開始する前に、初期値設定回路19により記憶回路14に、逆方向のパス確率の初期値として $\beta_{2N+2}(0) = 1$, $\beta_{2N+2}(m) = 0$ ($m = 1, 2, 3$)が設定される。

【0115】

逆方向のパス確率 $\beta_k(m)$ の計算では、まず、通信路値メモリ2Aに格納されている通信路値 x_k 、および通信路値メモリ2Bに格納されている通信路値 y

1_k が通信路値メモリインタフェース 11 を介して遷移確率計算回路 12 へ入力され、同時に、外部値メモリ 5 に格納されている外部値 $L e_k$ が外部値メモリインタフェース 18 を介して遷移確率計算回路 12 へ入力される。

【0116】

そして遷移確率計算回路 12 は、その外部値 $L e_k$ を事前値 $L a_k$ として、その事前値 $L a_k$ および通信路値 x_k , y_{1k} から式 (3), (4) に従って逆方向の各状態遷移の状態遷移確率 $\gamma_k(m, m^*)$ を計算し、パス確率計算回路 13 および事後値計算回路 16 に入力する。なお、第 1 回目の復号では外部値 $L e_k$ の読み出しは行わず、事前値 $L a_k$ は 0 に設定される (ステップ ST1)。

【0117】

パス確率計算回路 13 は、その状態遷移確率 $\gamma_k(m, m^*)$ と記憶回路 14 に記憶された 1 時点後 ($k+1$) の逆方向のパス確率 $\beta_{k+1}(m^*)$ から、式 (8) に示す逆方向再帰式に従って時点 k の逆方向のパス確率 $\beta_k(m)$ を計算し、記憶回路 14 に格納する。

【0118】

パス確率計算回路 13 により計算された逆方向のパス確率 $\beta_k(m)$ は記憶回路 14 により 1 時点分だけ遅延され、パス確率計算回路 13 および事後値計算回路 16 に入力される。

【0119】

すなわち、時点 k については、記憶回路 14 からのパス確率 $\beta_{k+1}(m)$ 、遷移確率計算回路 12 からの $\gamma_k(m, m^*)$ 、およびパスメトリックメモリ 15 のアドレス k に格納された順方向のパス確率 $\alpha_k(m)$ が事後値計算回路 16 へ入力される。なお、逆方向のパス確率 $\beta_k(m)$ は $k=2N+1$ から $k=N$ まで順番に計算される。

【0120】

そして事後値計算回路 16 は、入力された順方向のパス確率 $\alpha_k(m)$ 、逆方向のパス確率 $\beta_{k+1}(m^*)$ および状態遷移確率 $\gamma_k(m, m^*)$ から式 (1) に従って事後値 L_k を計算し、外部値計算回路 17 に入力する。

【0121】

外部値計算回路17は、その事後値 L_k から通信路値 $L_c \cdot x_k$ および事前値 $L a_k$ を減算して外部値 $L e_k$ を計算し、外部値メモリインタフェース18を介して外部値メモリ5のアドレス k に書き込む。

・【0122】

このようにして、復号器4Bにより、第1の符号受信系列の第2ブロックB12が復号され、外部値 $L e_k$ ($k=N, N+1, \dots, 2N-1$) が生成される。なお、付加情報ビットの外部値は計算しない。

【0123】

この段階で、外部値メモリ5には、第1の符号受信系列 $\{X1, Y1\}$ に対するMAP復号により生成された外部値 $L e_k$ ($k=0, 1, \dots, 2N-1$) が格納されている。

【0124】

次に、第2の符号受信系列の第1ブロックB21を復号する際(ステップST4A)の復号器4Aの動作について説明する。復号器4Aは、第1の符号受信系列から生成された外部値 $L e_k$ をインタリーブした値を事前値 $L a_k^*$ として、第1の符号受信系列の第1ブロックB11の復号と同様に、第2の符号受信系列の第1ブロックB21= $\{X21, Y21\}$ に対してMAP復号を実行する。

【0125】

復号器4Aにおいて、順方向のパス確率 $\alpha_k(m)$ の計算を開始する前に、初期値設定回路19により記憶回路14に、順方向のパス確率の初期値 $\alpha_0(0)=1$, $\alpha_0(m)=0$ ($m=1, 2, 3$) が設定される。

【0126】

次に $k=0$ から $k=N-1$ まで順番に、通信路値メモリ2Aのアドレス $INT(k)$ に格納されている $x_k^* (=x_{INT(k)})$ と通信路値メモリ2Cに格納されている y_{2k} が通信路値メモリインタフェース11を介して遷移確率計算回路12へ入力され、同時に、外部値メモリ5のアドレス $INT(k)$ に格納されている外部値 $L e_k^* (=L e_{INT(k)})$ が外部値メモリインタフェース18を介して遷移確率計算回路12へ入力される。なお、このとき、通信路値メモリインタフェース11は内蔵のインタリーブテーブルを参照して、通信路値 x

INT(k) を通信路値 x_k^* として読み出す。また、外部値メモリインタフェース 18 は内蔵のインタリーブテーブルを参照して外部値 $Le_{INT(k)}$ を外部値 Le_k^* として読み出す (ステップ ST3)。

・【0127】

遷移確率計算回路 12 は、その外部値 Le_k^* を事前値 La_k^* として、その事前値 La_k^* および通信路値 x_k^* , y_{2k} から式 (3), (4) に従って順方向の各状態遷移の状態遷移確率 $r_k(m^*, m)$ を計算し、パス確率計算回路 13 に入力する (ただし式中の y_{1k} を y_{2k} とする)。

【0128】

パス確率計算回路 13 は、その状態遷移確率 $r_{k-1}(m^*, m)$ と記憶回路 14 に記憶された 1 時点前 ($k-1$) の順方向のパス確率 $\alpha_{k-1}(m^*)$ ($m^* = 0, 1, 2, 3$) から式 (5) に従ってその時点 k の順方向のパス確率 $\alpha_k(m)$ を計算し、記憶回路 14 に格納する。

【0129】

パス確率計算回路 13 により計算された順方向のパス確率 $\alpha_k(m)$ は記憶回路 14 により 1 時点分だけ遅延され、パス確率計算回路 13 およびバスメトリックメモリ 15 に供給され、バスメトリックメモリ 15 のアドレス k に格納される。

【0130】

そして、パス確率計算回路 13 は、最後の順方向のパス確率 $\alpha_N(m)$ ($m = 0, 1, 2, 3$) を計算した後、逆方向のパス確率 $\beta_k(m)$ を、 $k = N-1$ から $k = 1$ まで順番に計算する。なお、最後の順方向のパス確率 $\alpha_N(m)$ ($m = 0, 1, 2, 3$) は復号器 4B の初期値設定回路 19 にも供給され、保持される。

【0131】

このとき、逆方向のパス確率 $\beta_k(m)$ の計算を開始する前に、初期値設定回路 19 により記憶回路 14 に、逆方向のパス確率の初期値として、第 1 回目の復号では、 $\beta_N(m) = 1/4$ ($m = 0, 1, 2, 3$) が設定され、第 2 回目以降の復号では、前回の第 2 の符号受信系列の第 2 ブロック B22 の復号で計算され

た $\beta_N(m)$ ($m=0, 1, 2, 3$)が設定される。

【0132】

逆方向のパス確率 $\beta_k(m)$ の計算では、まず、通信路値メモリ2AのアドレスINT(k)に格納されている通信路値 x_k^* ($=x_{INT(k)}$)、および通信路値メモリ2Cに格納されている通信路値 y_2 が通信路値メモリインタフェース11を介して遷移確率計算回路12へ入力され、同時に、外部値メモリ5のアドレスINT(k)に格納されている外部値 Le_k^* が外部値メモリインタフェース18を介して遷移確率計算回路12へ入力される。なお、このとき、通信路値メモリインタフェース11は内蔵のインタリーブテーブルを参照して、通信路値 $x_{INT(k)}$ を通信路値 x_k^* として読み出す。また、外部値メモリインタフェース18は内蔵のインタリーブテーブルを参照して外部値 $Le_{INT(k)}$ を外部値 Le_k^* として読み出す(ステップST3)。

【0133】

そして遷移確率計算回路12は、その外部値 Le_k^* を事前値 La_k^* として、その事前値 La_k^* および通信路値 x_k^* 、 y_1 から式(3)、(4)に従って逆方向の各状態遷移の状態遷移確率 $\gamma_k(m, m^*)$ を計算し、パス確率計算回路13および事後値計算回路16に入力する(ただし、式中の y_1 を y_2 とする)。

【0134】

パス確率計算回路13は、その状態遷移確率 $\gamma_k(m, m^*)$ と記憶回路14に記憶された1時点後($k+1$)の逆方向のパス確率 $\beta_{k+1}(m^*)$ ($m^*=0, 1, 2, 3$)から式(8)に従って時点kの逆方向のパス確率 $\beta_k(m)$ ($m=0, 1, 2, 3$)を計算し、記憶回路14に格納する。

【0135】

パス確率計算回路13により計算された逆方向のパス確率 $\beta_k(m)$ は記憶回路14により1時点分だけ遅延され、パス確率計算回路13および事後値計算回路16に入力される。

【0136】

すなわち、時点kについては、記憶回路14からのパス確率 $\beta_{k+1}(m)$ 、

遷移確率計算回路12からの $\gamma_k(m, m^*)$ 、およびパスメトリックメモリ15のアドレス k に格納された順方向のパス確率 $\alpha_k(m)$ が事後値計算回路16へ入力される。なお、逆方向のパス確率 $\beta_k(m)$ は $k=N-1$ から $k=1$ まで順番に計算される。

【0137】

そして事後値計算回路16は、その順方向のパス確率 $\alpha_k(m)$ ($m=0, 1, 2, 3$)、逆方向のパス確率 $\beta_{k+1}(m^*)$ ($m^*=0, 1, 2, 3$) および遷移確率 $\gamma_k(m, m^*)$ ($m, m^*=0, 1, 2, 3$) から式(11)に従って事後値 L_k^* を計算し、外部値計算回路17に入力する。

【0138】

外部値計算回路17は、その事後値 L_k^* から通信路値 $L_c \cdot x_k^*$ および事前値 $L a_k^*$ を減算して外部値 $L e_k^*$ を計算し、外部値メモリインタフェース18を介して外部値メモリ5のアドレスINT(k)に書き込む。なお、このとき、外部値メモリ5は内蔵のインタリーブテーブルを参照して外部値 $L e_k^*$ をアドレスINT(k)に書き込む。

【0139】

このようにして、復号器4Aにより、第2の符号受信系列の第1ブロックB21が復号され、外部値 $L e_k^*$ ($k=0, 1, \dots, N-1$) が生成される。

【0140】

最後に、第2の符号受信系列の第2ブロックB22を復号する際(ステップST4B)の復号器4Bの動作について説明する。復号器4Bは、第1の符号受信系列から生成された外部値 $L e_k$ をインタリーブした値を事前値 $L a_k^*$ として、第1の符号受信系列の第2ブロックB12の復号と同様に、第2の符号受信系列の第2ブロックB22 = {X22, Y22} に対してMAP復号を実行する。

【0141】

まず、初期値設定回路19により記憶回路14に、順方向のパス確率の初期値として、第1回目の復号では、 $\alpha_N(m) = 1/4$ ($m=0, 1, 2, 3$) が設定され、第2回目以降の復号では、前回の第2の符号受信系列の第1ブロックB21の復号で計算された $\alpha_N(m)$ ($m=0, 1, 2, 3$) が設定される。

【0142】

次に $k = N$ から $k = 2N + 1$ まで順番に、通信路値メモリ 2A のアドレス $INT(k)$ に格納されている x_k^* ($= x_{INT(k)}$) と通信路値メモリ 2C に格納されている y_{2k} が通信路値メモリインタフェース 11 を介して遷移確率計算回路 12 へ入力され、同時に、外部値メモリ 5 のアドレス $INT(k)$ に格納されている外部値 Le_k^* ($= Le_{INT(k)}$) が外部値メモリインタフェース 18 を介して遷移確率計算回路 12 へ入力される。なお、このとき、通信路値メモリインタフェース 11 は内蔵のインタリーブテーブルを参照して、通信路値 $x_{INT(k)}$ を通信路値 x_k^* として読み出す。また、外部値メモリインタフェース 18 は内蔵のインタリーブテーブルを参照して外部値 $Le_{INT(k)}$ を外部値 Le_k^* として読み出す (ステップ ST3)。ただし、 $k = 2N$ では、通信路値メモリ 2A のアドレス $2N + 2$ に格納されている通信路値 x_{2N}^* が読み出され、 $k = 2N + 1$ では、アドレス $2N + 3$ に格納されている通信路値 x_{2N+1}^* が読み出される。

【0143】

遷移確率計算回路 12 は、その外部値 Le_k^* を事前値 La_k^* として、その事前値 La_k^* および通信路値 x_k^* 、 y_{2k} から式 (3)、(4) に従って順方向の各状態遷移の状態遷移確率 $\gamma_k(m^*, m)$ を計算し、パス確率計算回路 13 に入力する。なお、付加情報ビットの事前値は 0 とする。

【0144】

パス確率計算回路 13 は、その状態遷移確率 $\gamma_{k-1}(m^*, m)$ と記憶回路 14 に記憶された 1 時点前の順方向のパス確率 $\alpha_{k-1}(m^*)$ ($m^* = 0, 1, 2, 3$) から式 (5) に従って時点 k の順方向のパス確率 $\alpha_k(m)$ ($m = 0, 1, 2, 3$) を計算し、記憶回路 14 に格納する。

【0145】

パス確率計算回路 13 により計算された順方向のパス確率 $\alpha_k(m)$ は記憶回路 14 により 1 時点分だけ遅延され、パス確率計算回路 13 およびパスメモリ 15 に供給され、パスメモリ 15 のアドレス k に格納される。

【0146】

そして、パス確率計算回路13は、最後の順方向のパス確率 $\alpha_{2N+1}(m)$ を計算した後、逆方向のパス確率 $\beta_k(m)$ を $k=2N+1$ から $k=N$ まで順番に計算する。なお、最後の逆方向のパス確率 $\beta_N(m)$ は復号器4Aの初期値設定回路19にも供給され、保持される。

【0147】

このとき、逆方向のパス確率 $\beta_k(m)$ の計算を開始する前に、初期値設定回路19により記憶回路14に、逆方向のパス確率の初期値として $\beta_{2N+2}(0)=1$ 、 $\beta_{2N+2}(m)=0$ ($m=1, 2, 3$) が設定される。

【0148】

逆方向のパス確率 $\beta_k(m)$ の計算では、まず、通信路値メモリ2Aに格納されている通信路値 x_k^* ($=x_{INT}(k)$)、および通信路値メモリ2Cに格納されている通信路値 y_{2k} が通信路値メモリインタフェース11を介して遷移確率計算回路12へ入力され、同時に、外部値メモリ5のアドレス $INT(k)$ に格納されている外部値 Le_k^* が外部値メモリインタフェース18を介して遷移確率計算回路12へ入力される。なお、このとき、通信路値メモリインタフェース11は内蔵のインタリーブテーブルを参照して、通信路値 $x_{INT}(k)$ を通信路値 x_k^* として読み出す。また、外部値メモリインタフェース18は内蔵のインタリーブテーブルを参照して外部値 $Le_{INT}(k)$ を外部値 Le_k^* として読み出す(ステップST3)。

【0149】

そして遷移確率計算回路12は、その外部値 Le_k^* を事前値 La_k^* として、その事前値 La_k^* および通信路値 x_k^* 、 y_{2k} から逆方向の状態遷移確率 $r_k(m, m^*)$ を計算し、パス確率計算回路13および事後値計算回路16に入力する。

【0150】

パス確率計算回路13により計算された逆方向のパス確率 $\beta_k(m)$ は記憶回路14により1時点分だけ遅延され、パス確率計算回路13および事後値計算回路16に入力される。

【0151】

すなわち、時点 k については、記憶回路14からのパス確率 $\beta_{k+1}(m^*)$ 、遷移確率計算回路12からの状態遷移確率 $\gamma_k(m, m^*)$ 、およびパスメトリックメモリ15のアドレス k に格納された順方向のパス確率 $\alpha_k(m)$ が事後値計算回路16へ入力される。なお、逆方向のパス確率 $\beta_k(m)$ は $k=2N+1$ から $k=N$ まで順番に計算される。

【0152】

そして事後値計算回路16は、その順方向のパス確率 $\alpha_k(m)$ 、逆方向のパス確率 $\beta_{k+1}(m^*)$ および状態遷移確率 $\gamma_k(m, m^*)$ から式(11)に従って事後値 L_k^* を計算し、外部値計算回路17に入力する。

【0153】

外部値計算回路17は、その事後値 L_k^* から通信路値 $L_c \cdot x_k^*$ および事前値 $L_a^*_{k-1}$ を減算して外部値 $L_e^*_{k-1}$ を計算し、外部値メモリインタフェース18を介して外部値メモリ5のアドレス $INT(k)$ に書き込む。なお、このとき、外部値メモリ5は内蔵のインタリーブテーブルを参照して外部値 $L_e^*_{k-1}$ をアドレス $INT(k)$ に書き込む。

【0154】

このようにして、復号器4Bにより、第2の符号受信系列の第2ブロックB22が復号され、外部値 $L_e^*_{k-1}$ ($k=N, \dots, 2N-1$)が生成される。なお、付加情報ビットの外部値は計算しない。

【0155】

以上で、ターボ符号の1回分の復号が実行され、外部値 $L_e^*_{k-1}$ ($k=0, \dots, 2N-1$)および事後値 L_k^* ($k=0, \dots, 2N-1$)が生成されている。なお、外部値 $L_e^*_{k-1}$ ($k=0, \dots, 2N-1$)は、外部値メモリ5のアドレス $INT(k)$ に格納されるため、外部値メモリ5のアドレス $0 \sim 2N-1$ には、外部値 $L_{e0} \sim L_{e2N-1}$ が格納されている。したがって、次の復号時にその外部値を事前値として読み出す際に、デインタリーブする必要がない。また、最終回の復号の際には、ブロックB21、B22の復号において事後値計算回路16から事後値が復号結果として入出力インタフェース1を介して

出力される。

【0156】

なお、上述のように、復号器4Aによる第1の符号受信系列の第1ブロックB11の復号と復号器4Bによる第1の符号受信系列の第2ブロックB12の復号、および復号器4Aによる第2の符号受信系列の第1ブロックB21の復号と復号器4Bによる第2の符号受信系列の第2ブロックB22の復号は並列に処理される。

【0157】

以上のように、この実施の形態1によれば、符号受信系列を時間方向において複数のブロックに分割し、各ブロックを並行して復号するように構成したので、分割数を n とすると、復号に要する時間を $1/n$ に低減することができるという効果が得られる。

【0158】

なお、この実施の形態1による復号回路（図1）の回路規模やメモリ容量は従来の復号回路（図15）と比較して増加せず、同様の回路規模で復号の高速化が可能である。

【0159】

実施の形態2.

この発明の実施の形態2による符号化回路は、パンクチャにより任意の符号化レートのターボ符号を構成することができるものであり、この発明の実施の形態2による復号回路は、そのパンクチャされた符号化レートのターボ符号を復号するものである。なお、ここでは、符号化レート $1/2$ のターボ符号について説明する。

【0160】

図5はこの発明の実施の形態2による符号化回路の構成を示すブロック図であり、図6はこの発明の実施の形態2による復号回路の構成を示すブロック図であり、図7は図6における復号器の構成を示すブロック図である。

【0161】

図5に示す符号化回路において、61Aは情報ビット系列Dから第1のパリテ

ィビットの系列 P_1 を生成する要素符号器であり、61Bはインタリーバ62により情報ビット系列 D を並べ替えて生成された情報ビット系列 D^* から第2のパリティビットの系列 P_2 を生成する要素符号器であり、62は所定の写像関係に基づいて情報ビット系列 D のビット d_i を並べ替え情報ビット系列 D^* を生成するインタリーバであり、63は第1および第2のパリティビットの系列 P_1 、 P_2 に対してパンクチャ処理を実行してパリティビットの系列 P を生成するパンクチャ回路である。なお、要素符号器61A、61Bは図12(b)に示すものと同様である。

【0162】

図6に示す復号回路において、2Aは入出力インタフェース1を介して入力された通信路値 X を記憶する通信路値メモリであり、2Dは入出力インタフェース1を介して入力されたパリティビット系列 P の受信系列である通信路値 $Y = \{y_k \ (k=0, 1, \dots, 2N-1)\}$ を記憶する通信路値メモリであり、4C、4Dはパンクチャされたターボ符号の受信系列を構成する複数のブロックを軟入力軟出力復号する複数の復号器である。なお、図6におけるその他の構成要素については実施の形態1によるもの(図1)と同様であるので、その説明を省略する。

【0163】

また、図7に示す復号器4C、4Dにおいて、20はパンクチャにより欠落したパリティビットに対応する通信路値の代わりに所定の値を遷移確率計算回路12に供給するデパンクチャ回路である。なお、図7におけるその他の構成要素については実施の形態1によるもの(図2)と同様であるので、その説明を省略する。

【0164】

次に動作について説明する。

まず、図5に示す符号化回路の動作について説明する。

情報ビット系列 D 、第1のパリティビット系列 P_1 および第2のパリティビット系列 P_2 により符号化レート $1/3$ のターボ符号が構成される。パンクチャ回路63は、2つのパリティビット系列 P_1 、 P_2 のパリティビット p_{1k} 、 p_2

k を交互に選択してパリティビット系列 P として出力する。これにより、符号化レート $1/2$ のターボ符号が出力される。

【0165】

情報ビット系列 D が要素符号器 61A およびインタリーバ 62 に入力され、インタリーバ 62 により生成された情報ビット系列 D^* が要素符号器 61B に入力される。

【0166】

時点 $t = k$ ($k = 0, 1, \dots, 2N-1$) において、要素符号器 61A により情報ビットから第 1 のパリティビット $p1_k$ が生成され、要素符号器 61B により第 2 のパリティビット $p2_k$ が生成され、それぞれパンクチャ回路 63 に入力される。

【0167】

パンクチャ回路 63 は、その第 1 および第 2 のパリティビット $p1_k, p2_k$ を交互に選択してパリティビット系列 P として出力する。なお、テイルビットのうちのパリティビットはパンクチャされず、そのまま出力される。したがって、符号化回路から送信される全ビット系列は情報ビット系列 $D = \{d_k (k = 0, 1, \dots, 2N-1)\}$ 、パリティビット系列 $P = \{p1_0, p2_1, p1_2, \dots, p2_{2N-3}, p1_{2N-2}, p2_{2N-1}\}$ およびテイルビット $\{d_{2N}, d_{2N+1}, p1_{2N}, p1_{2N+1}, d^*_{2N}, d^*_{2N+1}, p2_{2N}, p2_{2N+1}\}$ である。

【0168】

このようにして、パンクチャ回路 63 によりパンクチャされたターボ符号が出力される。

【0169】

次に、図 6 および図 7 に示す復号回路の動作について説明する。

図 6 および図 7 に示す復号回路は、符号化レート $1/2$ のターボ符号を復号する。なお、情報ビット系列 D の受信系列を $\{x_k (k = 0, 1, \dots, 2N-1)\}$ とし、パリティビット系列 P の受信系列を $\{y_k (k = 0, 1, \dots, 2N-1)\}$ とし、テイルビット $\{d_{2N}, d_{2N+1}, p1_{2N}, p1_{2N+1}, d^*_{2N}, d^*_{2N+1}, p2_{2N}, p2_{2N+1}\}$ とし、

$1, d_{2N}^*, d_{2N+1}^*, p_{2N}, p_{2N+1}$ の受信系列を $\{x_{2N}, x_{2N+1}, y_{2N}, y_{2N+1}, x_{2N}^*, x_{2N+1}^*, y_{2N}^*, y_{2N+1}^*\}$ とする。また、系列 X, Y を $X = \{x_k (k=0, 1, \dots, 2N-1), x_{2N}, x_{2N+1}, x_{2N}^*, x_{2N+1}^*\}$ 、 $Y = \{y_k (k=0, 1, \dots, 2N-1), y_{2N}, y_{2N+1}, y_{2N}^*, y_{2N+1}^*\}$ と定義する。

【0170】

このターボ符号の受信系列 X, Y は入出力インタフェース 1 を介して入力され、系列 X は通信路値メモリ 2A に、系列 Y は通信路値メモリ 2D に格納される。

【0171】

復号器 4C, 4D は、実施の形態 1 における復号器 4A, 4B と同様に、受信系列から構成される第 1 の符号受信系列 $\{X_1, Y_1\}$ と第 2 の符号受信系列 $\{X_2, Y_2\}$ に対して MAP 復号を実行する。

【0172】

このとき復号器 4C, 4D は、系列 Y_1 および系列 Y_2 のうち、パンクチャされたビットには信頼度の最も低い通信路値を挿入し、 $Y_1 = \{y_{1k} = y_k (k \text{ が偶数}), y_{1k} = 0 (k \text{ が奇数}), y_{2N}, y_{2N+1}\}$ 、 $Y_2 = \{y_{2k} = 0 (k \text{ が偶数}), y_{2k} = y_k (k \text{ が奇数}), y_{2N}^*, y_{2N+1}^*\}$ とする。なお、「0」は信頼度が最も低い通信路値を表す。

【0173】

復号器 4C, 4D では、第 1 の符号受信系列を復号する場合、偶数時点 k では通信路値メモリ 2D のアドレス k に格納された y_{1k} が遷移確率計算回路 12 へ入力され、奇数時点 k では通信路値メモリ 2D からの通信路値の読み出しを行わず、デパンクチャ回路 20 から値 $y_{1k} = 0$ (信頼度が最も低い通信路値) が遷移確率計算回路 12 に入力される。また、第 2 の符号受信系列を復号する場合、偶数時点 k では通信路値メモリ 2D から通信路値の読み出しを行わず、デパンクチャ回路 20 から値 $y_{2k} = 0$ (信頼度が最も低い通信路値) が遷移確率計算回路 12 に入力され、奇数時点 k では通信路値メモリ 2D のアドレス k に格納された y_{2k} が遷移確率計算回路 12 に入力される。

【 0 1 7 4 】

なお、復号回路のその他の動作については実施の形態 1 によるものと同様であるので、その説明を省略する。

【 0 1 7 5 】

以上のように、この実施の形態 2 によれば、パンクチャされた符号の符号受信系列のうちの、パンクチャされたビットに対応する通信路値に信頼度の最も低い値を挿入するデパンクチャ回路 20 を復号器 4 C, 4 D に設けたので、パンクチャにより符号化レートが増加したターボ符号を実施の形態 1 によるものと同様に高速に復号することができるという効果が得られる。

【 0 1 7 6 】

また、この実施の形態 2 によれば、情報ビット系列をインタリーブし、情報ビット系列またはインタリーブした系列からそれぞれパリティビット系列を生成し、生成した複数のパリティビット系列に対してパンクチャ処理を実行してパリティビット系列を減らすように構成したので、所定の符号化レートのパンクチャされたターボ符号を簡単に生成することができるという効果が得られる。

【 0 1 7 7 】

なお、この実施の形態 2 では、符号化レート $1/3$ のターボ符号を符号化レート $1/2$ にパンクチャしているが、他の符号化レートのターボ符号に対して別の符号化レートにパンクチャするようにしてももちろんよい。

【 0 1 7 8 】

実施の形態 3.

この発明の実施の形態 3 による復号回路は、通信路値の通信路値メモリ 2 A, 2 B, 2 C への書き込みに並行して（すなわちすべての通信路値の書き込みの完了を待たずに）復号を実行するようにしたものである。なお、実施の形態 3 による復号回路の構成要素については実施の形態 1 によるものと同様であるので、その説明を省略する。ただし、復号器 4 A, 4 B の代わりに、以下のように動作する復号器 4 C, 4 D が使用される。

【 0 1 7 9 】

次に動作について説明する。

図 8 はこの実施の形態 3 による復号回路における受信系列 X , Y_1 , Y_2 の入力について説明するタイミングチャートであり、図 9 はこの実施の形態 3 による復号回路の動作について説明するタイミングチャートである。

【0180】

各時点 k ($k = 0, 1, \dots, 2N-2, 2N-1$) において、受信系列 X , Y_1 , Y_2 の通信路値 x_k , y_{1k} , y_{2k} が入出力インタフェース 1 を介して入力される。

【0181】

ただし、テイルビットは、時点 $2N$ において x_{12N} , y_{12N} が入力され、時点 $2N+1$ において x_{12N+1} , y_{12N+1} が入力され、時点 $2N+2$ において x_{22N} , y_{22N} が入力され、時点 $2N+3$ において x_{22N+1} , y_{22N+1} が入力される。

【0182】

図 8 (a) に示すように符号受信系列がブロック L_1 , L_2 に分割される。ブロック L_1 の長さは N であり、ブロック L_2 にはテイルビットが含まれるため、ブロック L_2 の長さは $N+4$ である。

【0183】

このとき、まず先頭のブロック L_1 が入力され、その後にブロック L_2 が入力される。ブロック L_1 の入力完了時において、図 8 (b) に示すように、第 1 の符号受信系列の第 1 ブロック $B_{11} = \{X_{11}, Y_{11}\}$ の入力完了している。また、ブロック L_1 の入力完了時において、第 2 の符号受信系列の第 1 ブロック $B_{21} = \{X_{21}, Y_{21}\}$ については系列 Y_{21} の入力は完了しているが、系列 X_{21} はインタリーブされた系列のためその $1/2$ 程度が入力されている。

【0184】

その後、ブロック L_2 の入力完了時において、図 8 (b) に示すように、系列 X , Y_1 , Y_2 の入力が完了しているため、第 1 の符号受信系列の第 1 ブロック B_{11} 、第 1 の符号受信系列の第 2 ブロック B_{12} 、第 2 の符号受信系列の第 1 ブロック B_{21} 、および第 2 の符号受信系列の第 2 ブロック B_{22} の入力（すなわち、すべてのブロックの入力）が完了している。

【0185】

そして、図9に示すように、ブロックL1の入力完了後に、復号器4Cは、事前値 La_k^* を0として、第2の符号受信系列の第1ブロックB21に対してMAP復号を実行し、外部値 Le_k^* ($k=0, 1, \dots, N-1$)を計算する。ただし、第2の符号受信系列の第1ブロックB21の系列X21のうち、未入力部分の通信路値にはデパンクチャ回路20により信頼度の最も低い値「0」が割り当てられる。一方、この時点で、第2の符号受信系列の第2ブロックB22は未入力であるため復号せず、外部値 Le_k^* ($k=N, N+1, \dots, 2N-1$)を0とする。

【0186】

そして、これらの外部値 Le_k^* をデインタリーブして第1の符号受信系列のMAP復号の事前値 La_k ($k=0, 1, \dots, 2N-1$)が生成される。

【0187】

次に復号器4Cは、その事前値 La_k を使用して、第1の符号受信系列の第1ブロックB11に対してMAP復号を実行し、外部値 Le_k ($k=0, 1, \dots, N-1$)を計算する。なお、この時点で、第1の符号受信系列の第1ブロックB11はすべて入力済みであるため、デパンクチャ処理は必要なく、実行されない。一方、第1の符号受信系列の第2ブロックB12は未入力であるため復号せず、それに対応する外部値 Le_k ($k=N, N+1, \dots, 2N-1$)を0とする。

【0188】

そして、これらの外部値 Le_k をインタリーブして第2の符号受信系列のMAP復号の事前値 La_k^* ($k=0, 1, \dots, 2N-1$)が生成される。

【0189】

以上の処理により、受信系列X, Y1, Y2の半分であるブロックL1として入力された通信路値を使用した第1回目の復号が完了する。

【0190】

次に、ブロックL2の入力完了後に、復号器4Cは、第1回目の復号で計算された事前値 La_k^* ($k=0, 1, \dots, N-1$)を使用して、第2の符号受

信系列の第1ブロックB21に対してMAP復号を実行して、外部値 Le_k^* ($k=0, 1, \dots, N-1$)を計算する。これに並行して、復号器4Dは、事前値 La_k^* ($k=N, N+1, \dots, 2N-1$)を使用して第2の符号受信系列の第2ブロックB22に対してMAP復号を実行して、外部値 Le_k^* ($k=N, N+1, \dots, 2N-1$)を計算する。

【0191】

そして、これらの外部値 Le_k^* をデインタリーブして第1の符号受信系列のMAP復号の事前値 La_k ($k=0, 1, \dots, 2N-1$)が生成される。

【0192】

次に復号器4Cは、その事前値の前半分 La_k ($k=0, 1, \dots, N-1$)を使用して第1の符号受信系列の第1ブロックB11に対してMAP復号を実行して、外部値 Le_k ($k=0, 1, \dots, N-1$)を計算する。これに並行して、復号器4Dは、事前値 La_k ($k=N, N+1, \dots, 2N-1$)を使用して第1の符号受信系列の第2ブロックB12に対してMAP復号を実行し、外部値 Le_k ($k=N, N+1, \dots, 2N-1$)を計算する。

【0193】

そして、これらの外部値 Le_k をインタリーブして第2の符号受信系列のMAP復号の事前値 La_k^* ($k=0, 1, \dots, 2N-1$)が生成される。

【0194】

以上の処理により、受信系列X, Y1, Y2の全部であるブロックL1, L2の通信路値を使用した第2回目の復号が完了する。

【0195】

これ以降の復号は上述した第2回目の復号処理と同様であるため、その説明を省略する。

【0196】

そして、最後の復号の1回前である第N回目の復号における第1の符号受信系列の第1ブロックB11のMAP復号で情報ビット系列Dの前半部分 $D1 = \{d_k\}$ に対応する事後値 L_k ($k=0, 1, \dots, N-1$)を計算し、出力する。

【0197】

次に、最後の第 $N+1$ 回目の復号では、復号器4Dは、第 N 回目の復号で計算された事前値 La_k^* ($k=N, N+1, \dots, 2N-1$)を使用して第2符号受信系列の第2ブロックB22に対してMAP復号を実行して、外部値 Le_k^* ($k=N, N+1, \dots, 2N-1$)を計算する。なお、第2の符号受信系列の第1ブロックB21に対するMAP復号は行わず、入力される事前値 La_k^* ($k=0, 1, \dots, N-1$)をそのまま外部値 Le_k^* ($k=0, 1, \dots, N-1$)とする。

【0198】

そして、これらの外部値 Le_k^* をデインタリーブして第1の符号受信系列のMAP復号における事前値 La_k ($k=0, 1, \dots, 2N-1$)が生成される。

【0199】

次に復号器4Dは、事前値の後半部分 La_k ($k=N, N+1, \dots, 2N-1$)を使用して第1の符号受信系列の第2ブロックB12に対してMAP復号を実行して、情報ビット系列Dの後半部分 $D2 = \{d_k\}$ に対応する事後値 L_k ($k=N, N+1, \dots, 2N-1$)を計算し、その復号結果を出力する。なお、このとき、第1の符号受信系列の第1ブロックB11のMAP復号は行わない。

【0200】

以上の復号により情報ビット系列の前半および後半それぞれに対して所定の N 回の繰り返し復号が実行され、推定値が計算される。

【0201】

以上のように、この実施の形態3によれば、各ブロックの入力が完了するとそのブロックの復号を開始し、事後値を出力する際、先頭のブロックから順番にそのブロックの各通信路値に対応する事後値を出力するように構成したので、符号受信系列の入力が完了する前に復号を開始でき、復号に要する時間を低減することができるという効果が得られる。

【0202】

また、入力が未完了であるブロック（今の場合 B 2 1）から事後値を生成し、その事後値に対応する事前値を、入力が完了しているブロック（今の場合 B 1 1）の復号のための事前値とするように構成したので、事前値を 0 とするより事前値が正確になるという効果が得られる。

【0203】

なお、重要度の高い情報ビットや、復号後の後処理に多くの時間を要する情報ビットを先頭側に配置するように情報ビット系列を構成した場合、先頭側の情報ビットが先に復号されるので、そのような情報ビット系列のターボ符号の復号に好適である。

【0204】

実施の形態 4.

この発明の実施の形態 4 による復号回路は、ターボ符号を複数のブロックに分割し、1つの復号器で順番に各ブロックに対して MAP 復号を実行するようにして符号全体に対して MAP 復号を実行するようにしたものである。

【0205】

図 10 はこの発明の実施の形態 4 による復号回路の構成を示すブロック図である。図において、4 E は分割した複数のブロックの各ブロックに対して順番に MAP 復号を実行する復号器である。なお、図 10 におけるその他の構成要素については実施の形態 1 によるものと同様であるので、その説明を省略する。また、復号器 4 E の構成については図 2 に示すものと同様であるので、その説明を省略する。ただし、記憶回路 14 からのパス確率 $\alpha_N(m)$, $\beta_N(m)$ は自己の初期値設定回路 19 に供給され、保持される。

【0206】

次に動作について説明する。

図 11 は第 1 の符号受信系列と各ブロックの対応関係の一例を示す図である。なお、説明を簡単にするため、ここではテイルビットも含めた符号長を $3N$ とする。

【0207】

第 1 の符号受信系列 $\{X1, Y1\}$ から、長さ D だけオーバーラップする 3 つ

の部分系列を次のように定義する。

$X11 =$

$$\{x_k \ (k=0, 1, \dots, N-1, N, \dots, N+D-1)\}$$

$X12 =$

$$\{x_k \ (k=N, N+1, \dots, 2N-1, 2N, \dots, 2N+D-1)\}$$

$$X13 = \{x_k \ (k=2N, 2N+1, \dots, 3N-1)\}$$

$Y11 =$

$$\{y_{1k} \ (k=0, 1, \dots, N-1, N, \dots, N+D-1)\}$$

$Y12 =$

$$\{y_{1k} \ (k=N, N+1, \dots, 2N-1, 2N, \dots, 2N+D-1)\}$$

$$Y13 = \{y_{1k} \ (k=2N, 2N+1, \dots, 3N-1)\}$$

なお、Dはオーバーラップ区間の長さであり、Dには拘束長の8～10倍程度が適当である。以下、部分系列{X11, Y11}を第1ブロック、部分系列{X12, Y12}を第2ブロック、部分系列{X13, Y13}を第3ブロックと呼ぶ。

【0208】

復号器4Eは、第1ブロック{X11, Y11}、第2ブロック{X12, Y12}、第3ブロック{X13, Y13}の順番でMAP復号を実行し、第1ブロックの復号で情報ビット d_k ($k=0, 1, \dots, N-1$)の外部値 L_{e_k} ($k=0, 1, \dots, N-1$)を計算し、第2ブロックの復号で情報ビット d_k ($k=N, N+1, \dots, 2N-1$)の外部値 L_k ($k=N, N+1, \dots, 2N-1$)を計算し、第3ブロックの復号で情報ビット d_k ($k=2N, 2N+1, \dots, 3N-1$)の外部値 L_k ($k=2N, 2N+1, \dots, 3N-1$)をそれぞれ計算する。

【0209】

このとき、初期値設定回路19により記憶回路14に、第1ブロックの復号で計算された順方向のパス確率 $\alpha_N(m)$ ($m=0, 1, 2, 3$)は、第2ブロッ

クの復号で順方向のパス確率の初期値 $\alpha_N(m)$ として設定され、第2ブロック2の復号で計算された順方向のパス確率 $\alpha_{2N}(m)$ ($m=0, 1, 2, 3$) は、第3ブロックの復号で順方向のパス確率の初期値 $\alpha_{2N}(m)$ として設定される。

【0210】

また、初期値設定回路19により記憶回路14に、第2ブロックの復号で計算された逆方向のパス確率 $\beta_{N+D}(m)$ ($m=0, 1, 2, 3$) は、第1ブロックの復号で逆方向のパス確率の初期値 $\beta_{N+D}(m)$ として設定され、第3ブロックで計算された逆方向のパス確率 $\beta_{2N+D}(m)$ ($m=0, 1, 2, 3$) は、第2ブロックの復号で逆方向のパス確率の初期値 $\beta_{2N+D}(m)$ として設定される。

【0211】

次に、各ブロックの復号について詳細に説明する。

第1ブロックの復号では、まず、順方向のパス確率の初期値が $\alpha_0(0) = 1$, $\alpha_0(m) = 0$ ($m=1, 2, 3$) と設定され、 $k=0$ から $k=N+D$ まで順番に順方向再帰式に従って順方向のパス確率 $\alpha_k(m)$ がパス確率計算回路13により計算され、パスメトリックメモリ15に格納される。

【0212】

次に、順方向のパス確率の計算が完了すると、逆方向のパス確率 $\beta_k(m)$ が $k=N+D$ から $k=1$ まで順番に計算される。なお、逆方向のパス確率の初期値 $\beta_{N+D}(m)$ には、第1回目の復号では $\beta_{N+D}(m) = 1/4$ ($m=0, 1, 2, 3$) が設定され、第2回目以降の復号では前回の第2ブロックの復号で計算された $\beta_{N+D}(m)$ ($m=0, 1, 2, 3$) が設定される。

【0213】

そして、事後値計算回路16および外部値計算回路17により、逆方向のパス確率とパスメトリックメモリ15に格納された順方向のパス確率から、情報ビット d_k ($k=0, \dots, N+D-1$) の事後値 L_k ($k=0, \dots, N+D-1$) および外部値 Le_k ($k=0, \dots, N-1$) が計算され、その外部値 Le_k が外部値メモリ5に格納される。なお、情報ビット d_k ($k=N, \dots$

、 $N + D - 1$) の外部値は外部値メモリ 5 に格納されない。

【0 2 1 4】

第 2 ブロックの復号では、まず、順方向のパス確率の初期値として第 1 ブロックの復号で計算された $\alpha_N(m)$ ($m = 0, 1, 2, 3$) が設定され、 $k = N$ から $k = 2N + D$ まで順番に順方向のパス確率 $\alpha_k(m)$ がパス確率計算回路 1 3 により計算され、パスメトリックメモリ 1 5 に格納される。なお、第 1 ブロックの復号で計算された順方向のパス確率は不要であるため、第 2 ブロックの復号で計算された順方向のパス確率を上書きしてもよい。

【0 2 1 5】

次に、順方向のパス確率の計算が完了すると、逆方向のパス確率 $\beta_k(m)$ が $k = 2N + D$ から $k = N$ まで順番に計算される。なお、逆方向のパス確率の初期値 $\beta_{2N+D}(m)$ には、第 1 回目の復号では $\beta_{2N+D}(m) = 1/4$ ($m = 0, 1, 2, 3$) が設定され、第 2 回目以降の復号では前回の第 3 ブロックの復号で計算された $\beta_{2N+D}(m)$ ($m = 0, 1, 2, 3$) が設定される。

【0 2 1 6】

そして、事後値計算回路 1 6 および外部値計算回路 1 7 により、逆方向のパス確率およびパスメトリックメモリ 1 5 に格納された順方向のパス確率から、情報ビット d_k の外部値 $L e_k$ ($k = N, \dots, 2N - 1$) が計算され、外部値メモリ 5 に格納される。なお、情報ビット d_k ($k = 2N, \dots, 2N + D - 1$) の外部値は外部値メモリ 5 に格納されない。

【0 2 1 7】

第 3 ブロックの復号では、まず、順方向のパス確率の初期値として第 2 ブロックの復号で計算された $\alpha_{2N}(m)$ ($m = 0, 1, 2, 3$) が設定され、 $k = 2N$ から $k = 3N$ まで順番に順方向のパス確率 $\alpha_k(m)$ が計算され、パスメトリックメモリ 1 5 に格納される。なお、第 2 ブロックで計算された順方向のパス確率は不要であるため、第 3 ブロックの復号で計算された順方向のパス確率を上書きしてもよい。

【0 2 1 8】

次に、順方向のパス確率の計算が完了すると、逆方向のパス確率 $\beta_k(m)$ が

$k = 3N$ から $k = 2N$ まで順番に計算される。なお、逆方向のパス確率の初期値は $\beta_{3N}(0) = 1$, $\beta_{3N}(m) = 0$ ($m = 1, 2, 3$) と設定される。

【0219】

そして、事後値計算回路 16 および外部値計算回路 17 により、逆方向のパス確率およびパスメトリックメモリ 15 に格納された順方向のパス確率から、情報ビット d_k ($k = 2N, \dots, 3N-1$) の事後値 L_k ($k = 2N, \dots, 3N-1$) および外部値 $L e_k$ ($k = 2N, \dots, 3N-1$) が計算され、その外部値 $L e_k$ ($k = 2N, \dots, 3N-1$) が外部値メモリ 5 に格納される。

【0220】

以上で、第 1 の符号受信系列 $\{X_1, Y_1\}$ に対する 1 回分の復号が完了する。また、第 2 の符号受信系列 $\{X_2, Y_2\}$ に対する 1 回分の復号も同様に、第 2 の符号受信系列 $\{X_2, Y_2\}$ を 3 分割して各ブロックを順番に復号する。

【0221】

なお、実施の形態 2 における復号器 4C, 4D のようにデパンクチャ回路を設けることにより、パンクチャされたターボ符号を復号することができる。

【0222】

以上のように、この実施の形態 4 によれば、符号受信系列を時間方向において複数のブロックに分割し、各ブロックを順番に復号するように構成したので、符号受信系列の分割数（すなわちブロック数）を n とすると、順方向のパス確率を格納するパスメトリックメモリの容量を約 $1/n$ に低減することができるという効果が得られる。すなわち、ターボ符号の復号では通信路値メモリ、外部値メモリ、パスメトリックメモリなどのメモリの容量が符号長に比例して増加するが、そのメモリ容量の増加を抑制することができる。

【0223】

また、符号受信系列を複数のブロックに分割する際に、各ブロックをオーバーラップさせるようにしたので、ブロック間の境界部分での逆方向のパス確率をより正確に計算することができるという効果が得られる。

【0224】

なお、上記実施の形態における復号器 4 A ~ 4 E は、MAP 復号を実行しているが、他の方式（軟出力ビタビアルゴリズムや Log MAP 復号法など）の復号を実行するようにしてもよく、同様の効果が得られる。

【0 2 2 5】

また、上記実施の形態 1 ~ 3 では、第 1 および第 2 の符号受信系列を 2 つのブロックに分割し、2 つの復号器 4 A, 4 B (4 C, 4 D) によりその 2 つのブロックを復号するようにしているが、分割数および復号器の個数は 2 に限らず 3 以上でもよい。

【0 2 2 6】

さらに、上記実施の形態 4 では、第 1 および第 2 の符号受信系列を 3 つのブロックに分割しているが、分割数は 3 に限られるものではない。

【0 2 2 7】

【発明の効果】

以上のように、この発明によれば、符号受信系列を時間方向において複数のブロックに分割し、各ブロックを並行して復号するように構成したので、分割数を n とすると、復号に要する時間を $1/n$ に低減することができるという効果がある。

【0 2 2 8】

この発明によれば、符号受信系列を時間方向において複数のブロックに分割し、各ブロックを順番に復号するように構成したので、符号受信系列の分割数を n とすると、順方向のパス確率を格納するパスメトリックメモリの容量を約 $1/n$ に低減することができるという効果がある。

【0 2 2 9】

この発明によれば、復号器に、パンクチャされた符号の符号受信系列のうちの、パンクチャされたビットに対応する通信路値に信頼度の最も低い値を挿入するデパンクチャ回路を有するようにしたので、パンクチャにより符号化レートが増加したターボ符号を高速に復号することができるという効果がある。

【0 2 3 0】

この発明によれば、復号器が、各ブロックの入力が完了するとそのブロックの

復号を開始し、事後値を出力する際、先頭のブロックから順番にそのブロックの各通信路値に対応する事後値を出力するように構成したので、符号受信系列の入力が完了する前に復号を開始でき、復号に要する時間を低減することができるという効果がある。

【0231】

この発明によれば、復号器が、入力が未完了であるブロックから事後値を生成し、その事後値に対応する事前値を、入力完了しているブロックの復号のための事前値とするように構成したので、事前値を0とするより事前値が正確になるという効果がある。

【0232】

この発明によれば、各ブロックを所定の長さだけオーバーラップさせるようにしたので、ブロック間の境界部分での逆方向のパス確率をより正確に計算することができるという効果がある。

【0233】

この発明によれば、情報ビット系列をインタリーブし、情報ビット系列またはインタリーブした系列からそれぞれパリティビット系列を生成し、生成した複数のパリティビット系列に対してパンクチャ処理を実行し、パリティビット系列の数を減らすように構成したので、所定の符号化レートのパンクチャされたターボ符号を簡単に生成することができるという効果が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による復号回路の構成を示すブロック図である。

【図2】 図1における復号器の構成を示すブロック図である。

【図3】 実施の形態1による復号回路の動作について説明するフローチャートである。

【図4】 実施の形態1による復号回路の動作について説明するタイミングチャートである。

【図5】 この発明の実施の形態2による符号化回路の構成を示すブロック図である。

【図 6】 この発明の実施の形態 2 による復号回路の構成を示すブロック図である。

【図 7】 図 6 における復号器の構成を示すブロック図である。

【図 8】 実施の形態 3 による復号回路における受信系列 X, Y 1, Y 2 の入力について説明するタイミングチャートである。

【図 9】 実施の形態 3 による復号回路の動作について説明するタイミングチャートである。

【図 1 0】 この発明の実施の形態 4 による復号回路の構成を示すブロック図である。

【図 1 1】 第 1 の符号受信系列と各ブロックの対応関係の一例を示す図である。

【図 1 2】 符号化レート 1 / 3 かつ拘束長 3 のターボ符号を符号化する従来の符号化回路を示すブロック図である。

【図 1 3】 図 1 2 の要素符号器の状態遷移図である。

【図 1 4】 図 1 2 の要素符号器のトレリス線図である。

【図 1 5】 ターボ符号の従来の復号回路のブロック図である。

【図 1 6】 図 1 5 の復号器についてのトレリス線図上のパスの例を示す図である。

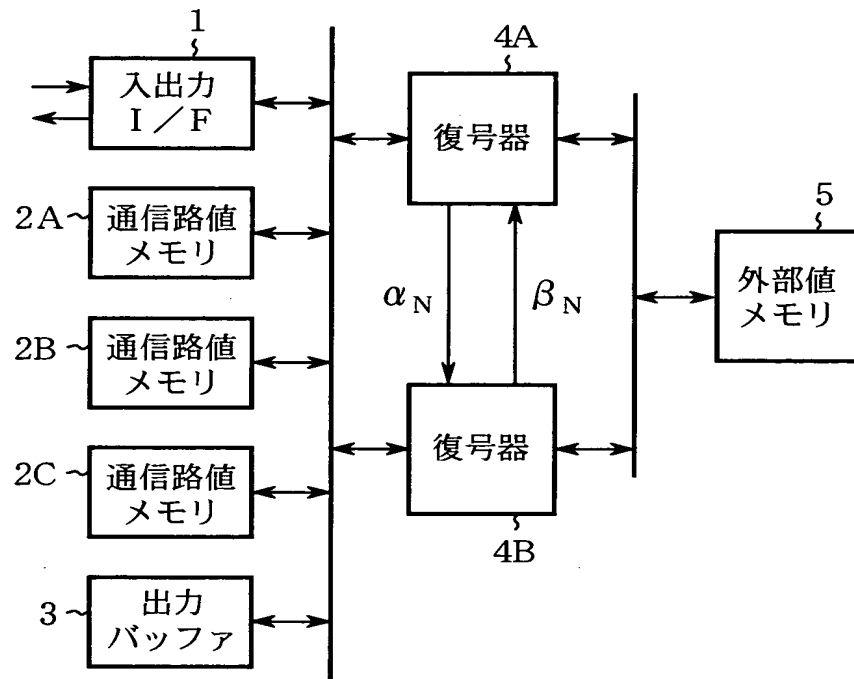
【図 1 7】 従来の復号回路による第 1 および第 2 の符号受信系列の復号を説明するタイミングチャートである。

【符号の説明】

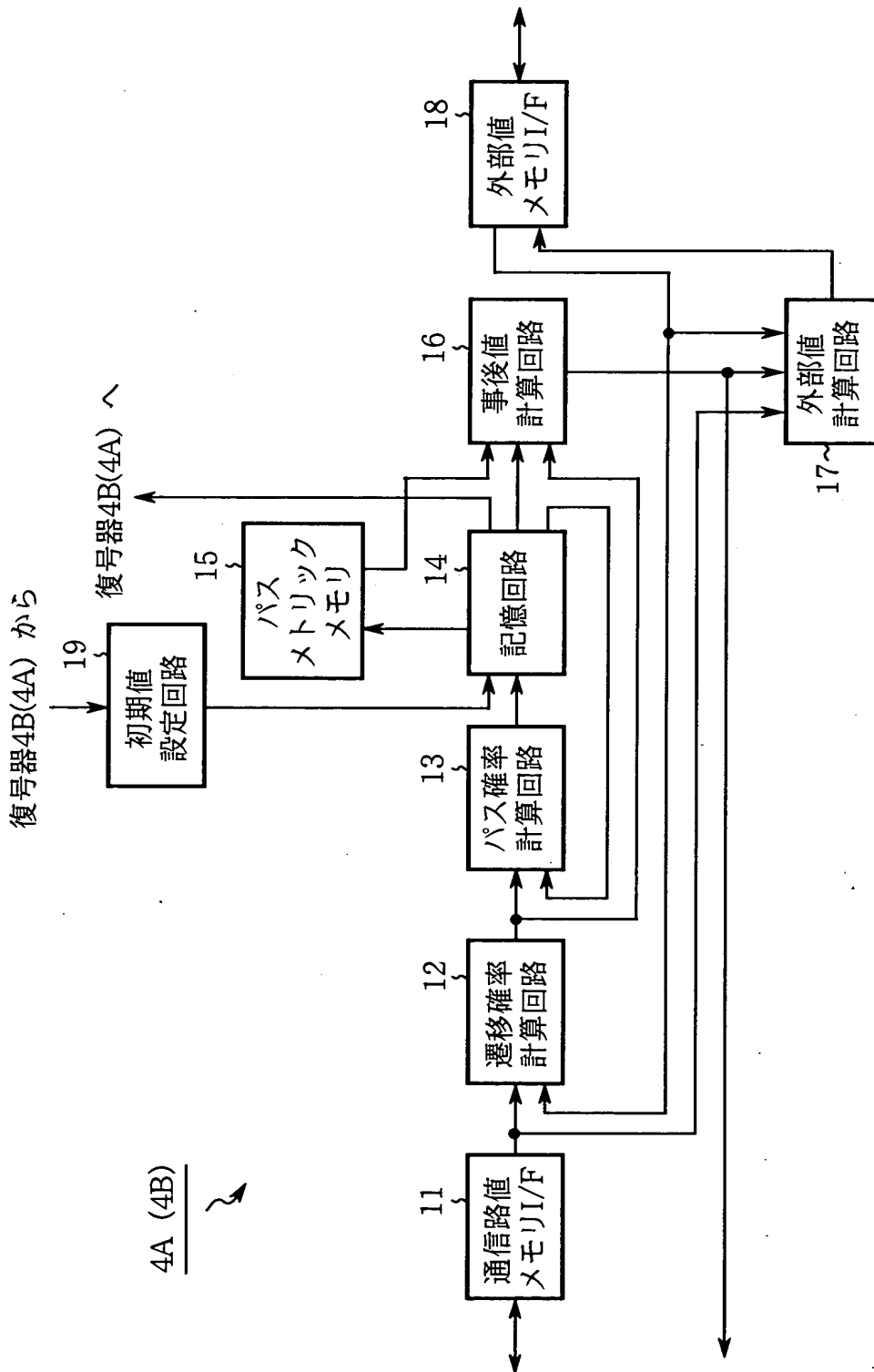
4 A ~ 4 E 復号器、 1 2 遷移確率計算回路、 1 3 パス確率計算回路、 1 6 事後値計算回路、 1 7 外部値計算回路、 2 0 デバଙ୍କチャ回路、 6 1 A , 6 1 B 要素符号器、 6 2 インタリーバ、 6 3 パンクチャ回路。

【書類名】 図面

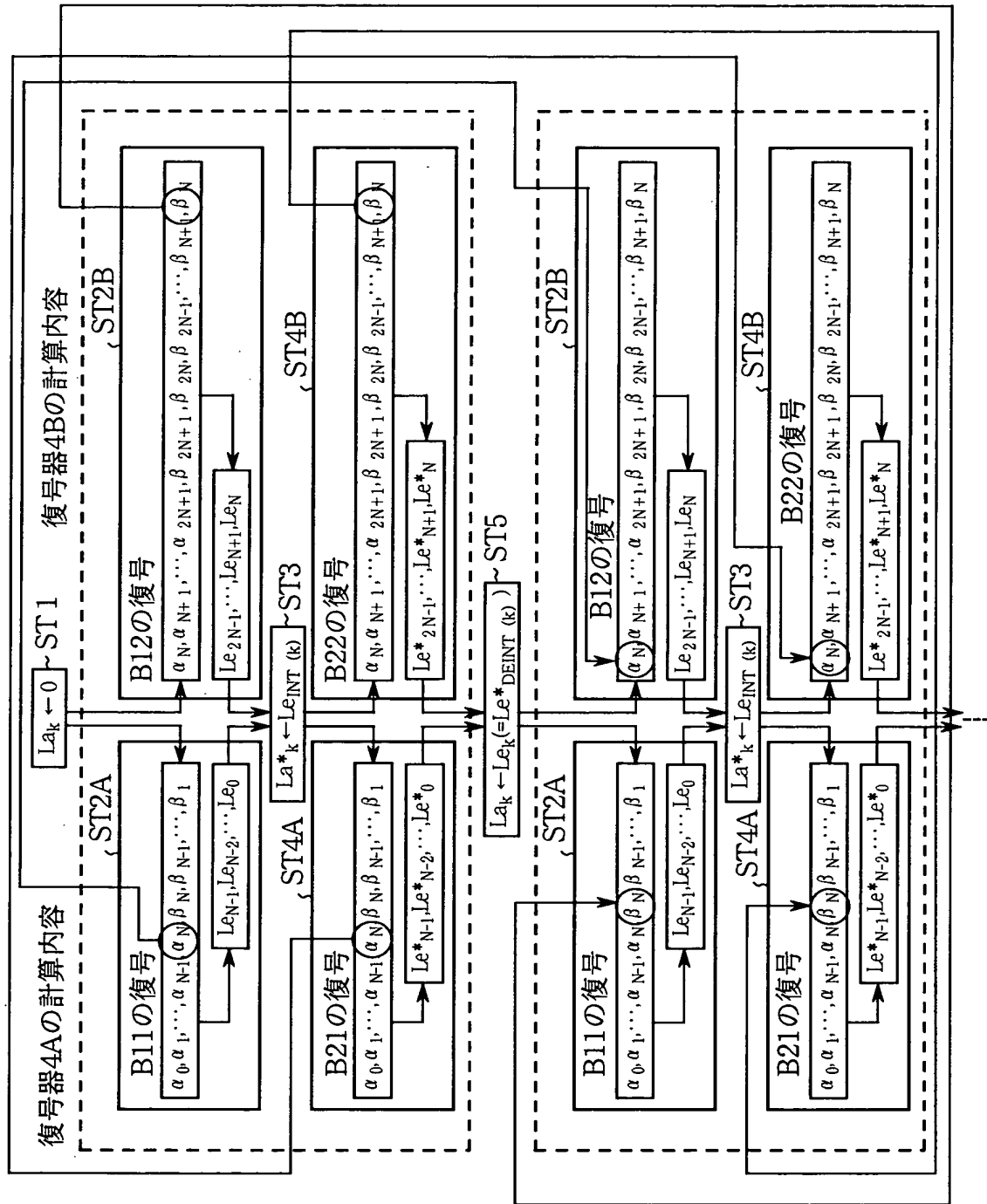
【図 1】



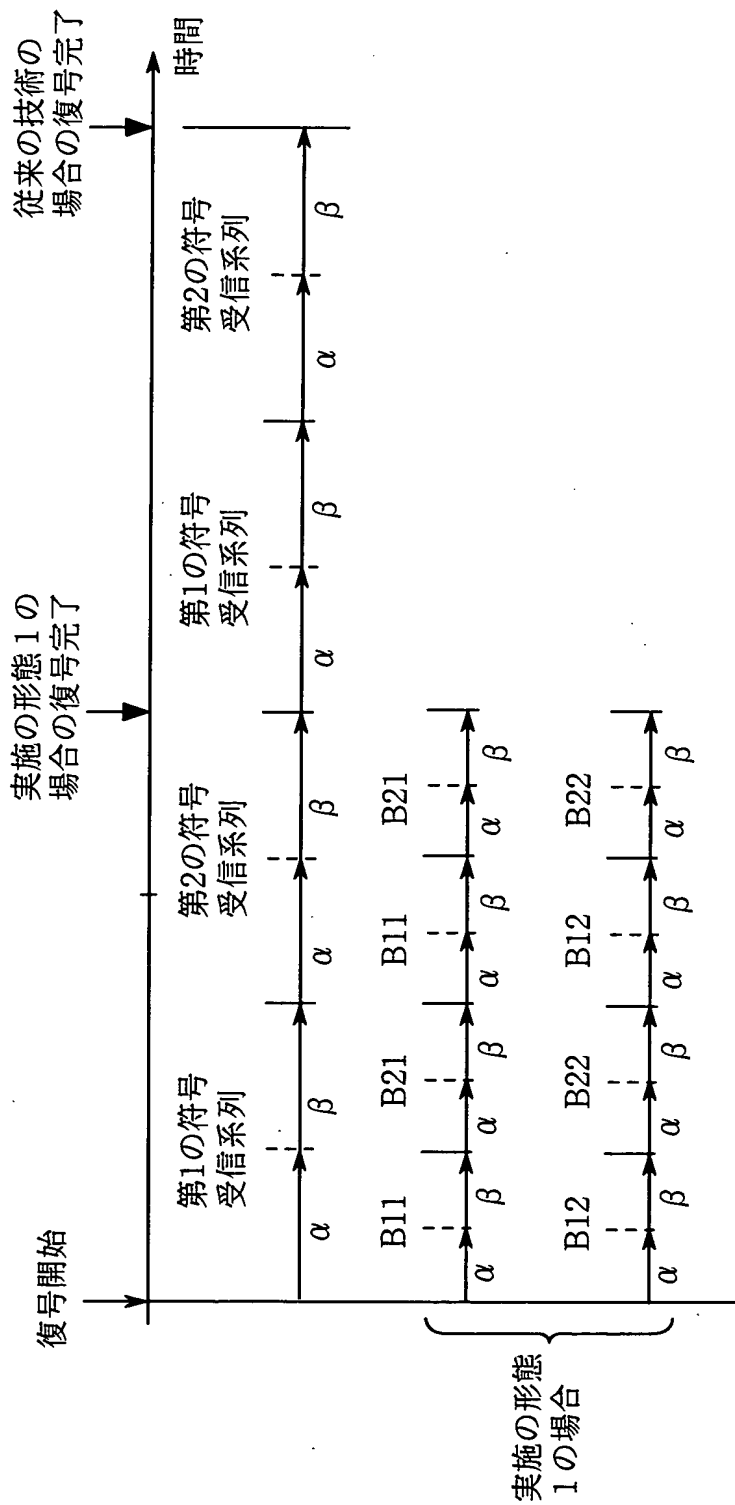
【図 2】



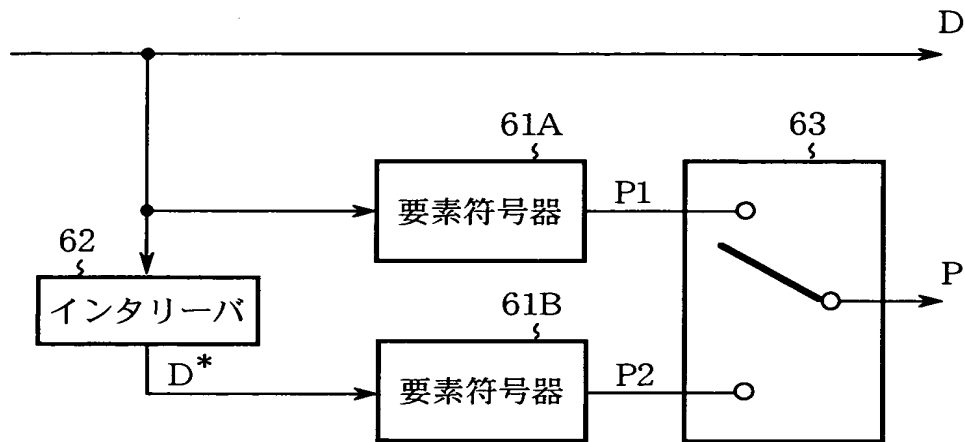
【図 3】



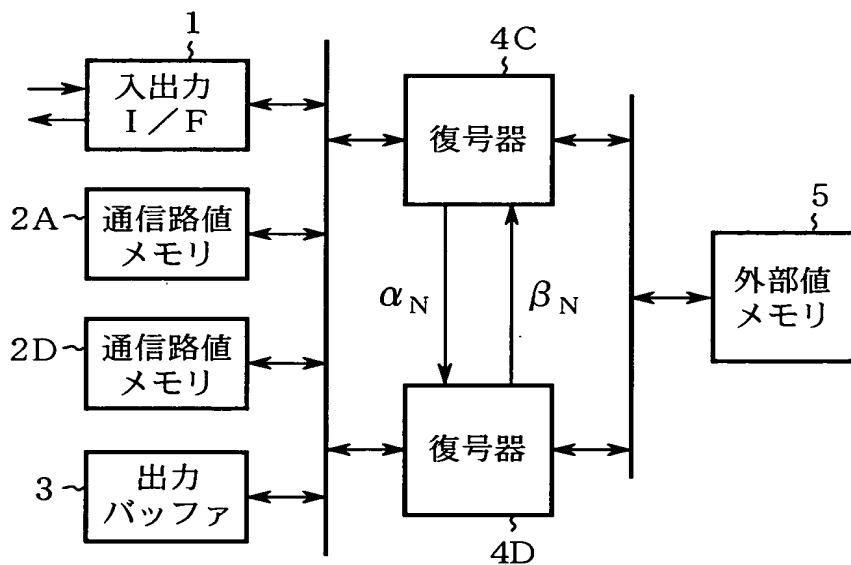
【図 4】



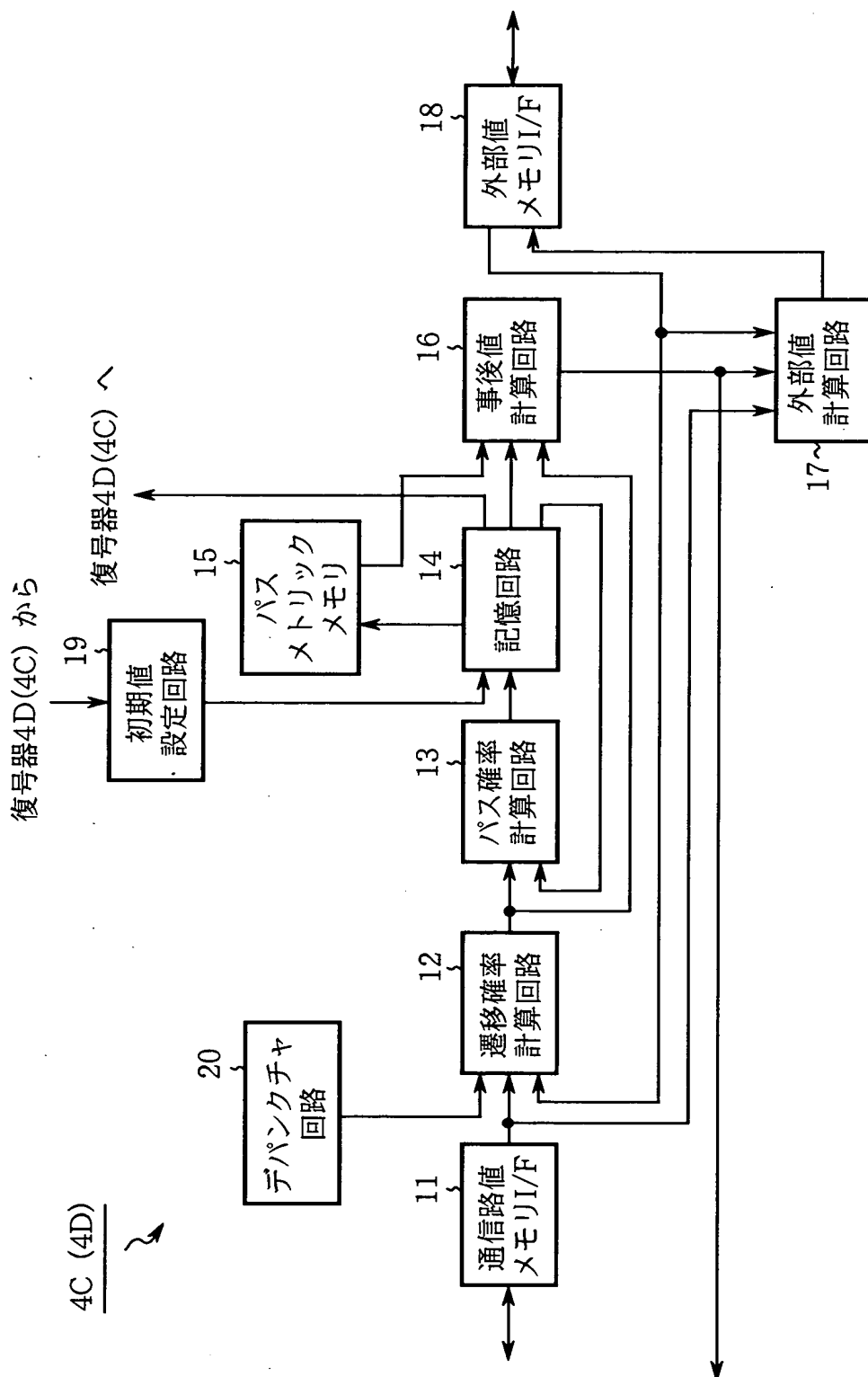
【図 5】



【図 6】

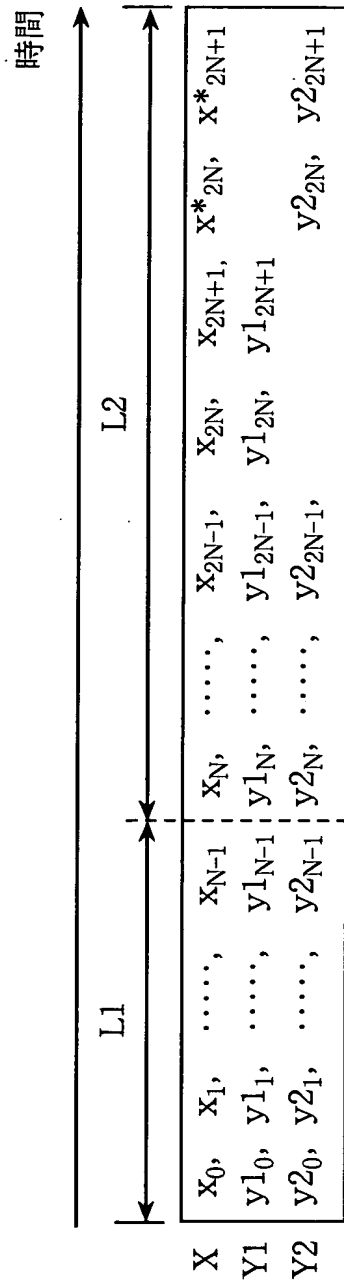


【図 7】

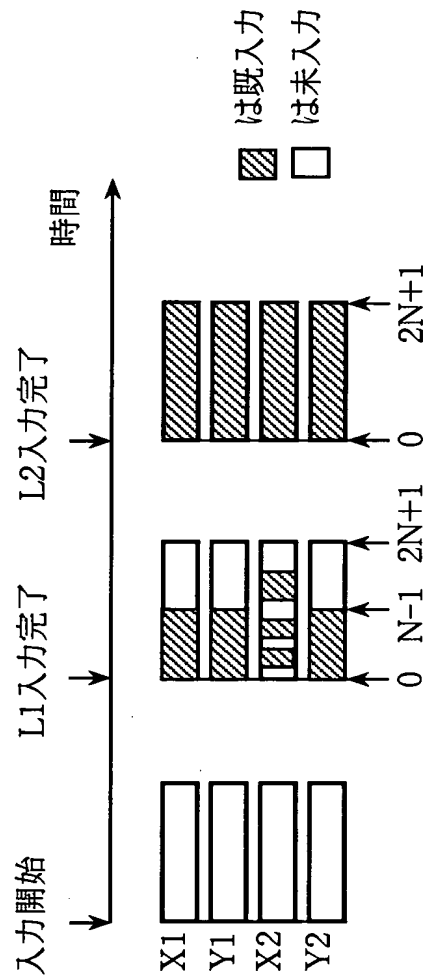


【図 8】

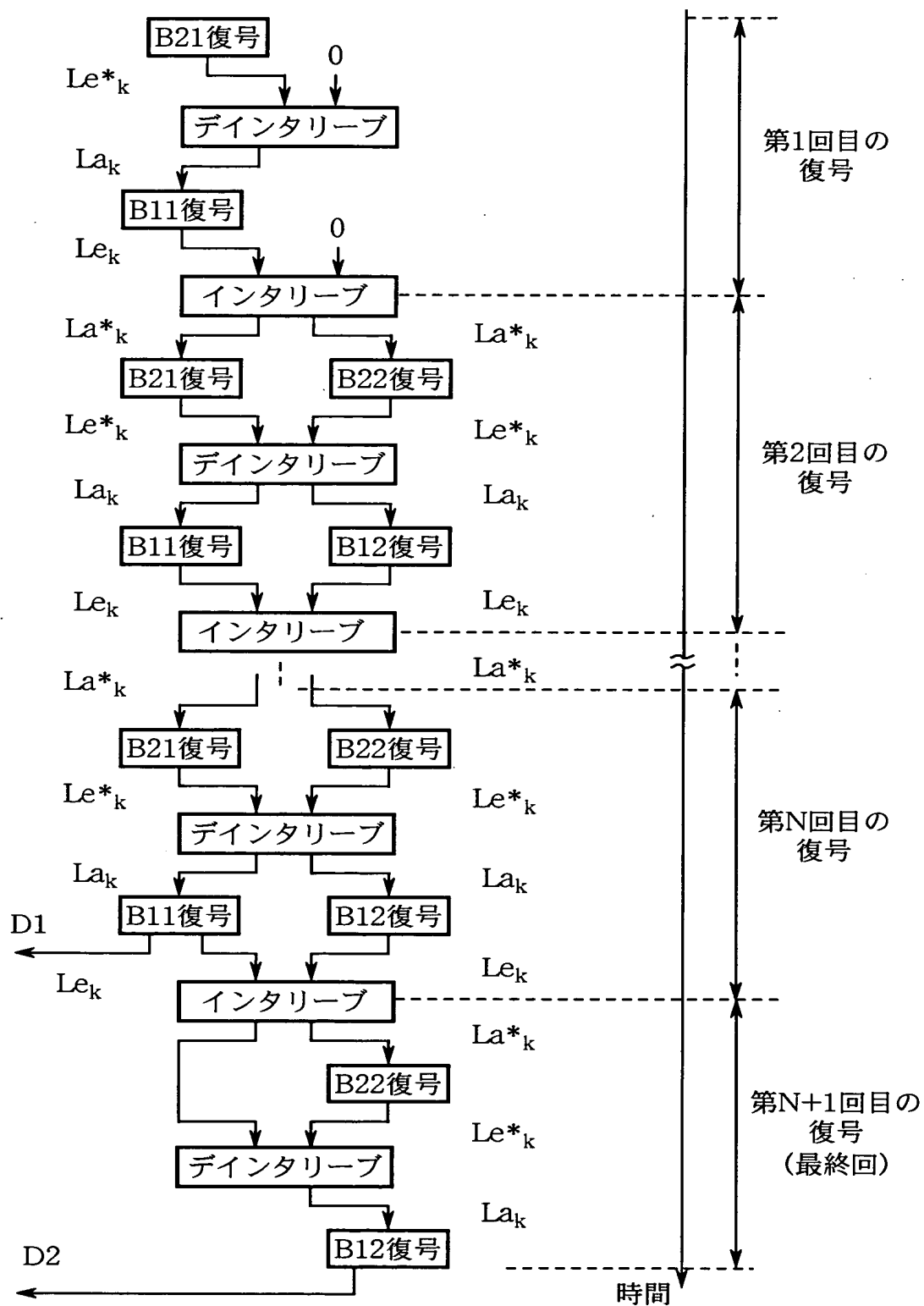
(a)



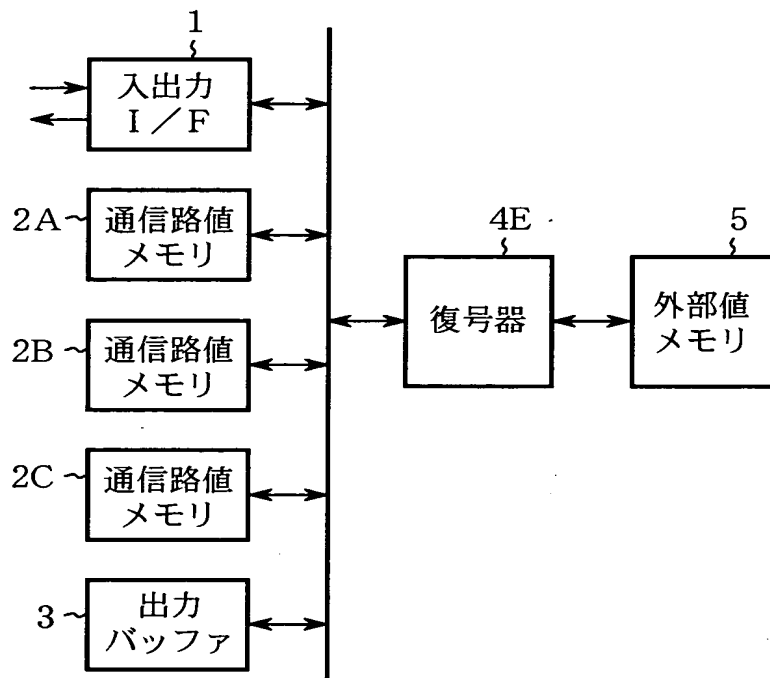
(b)



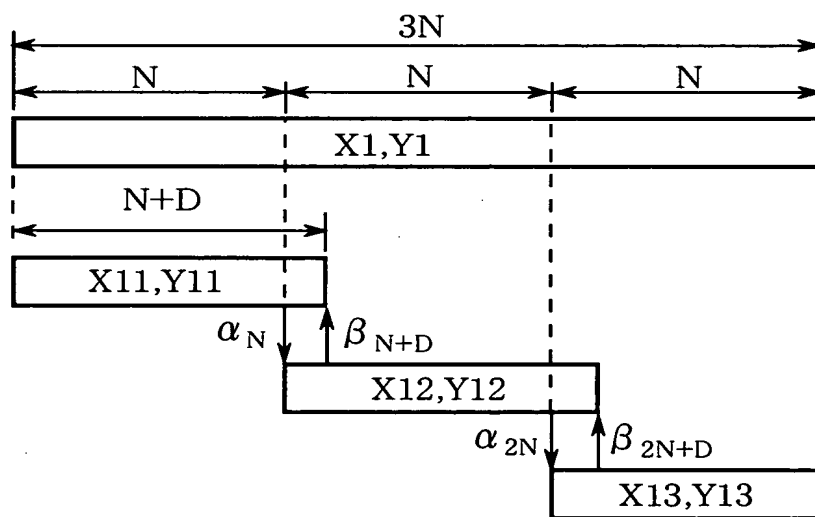
【図9】



【図 1 0】

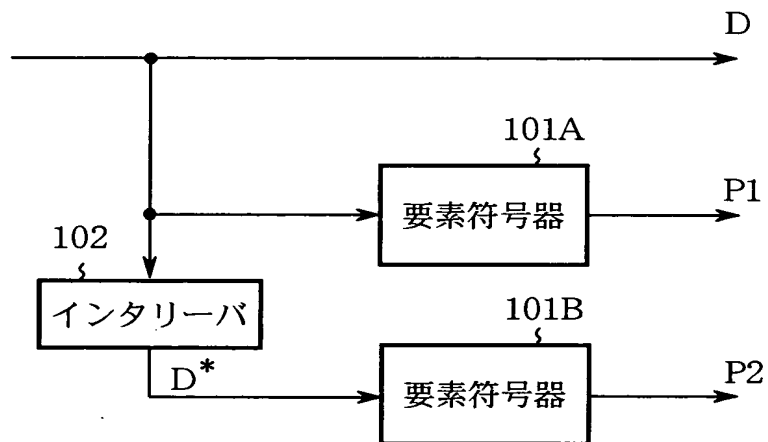


【図 1 1】

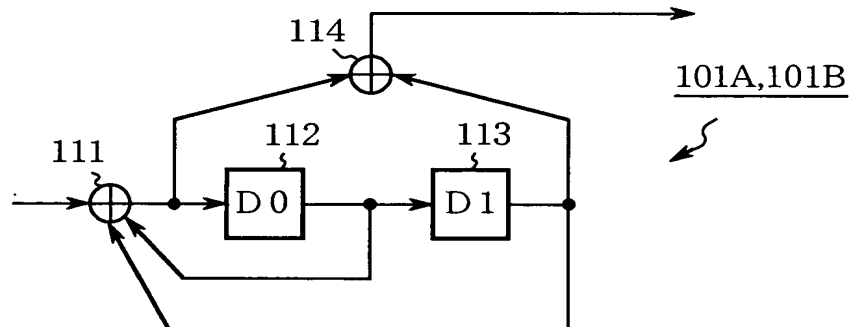


【図 1 2】

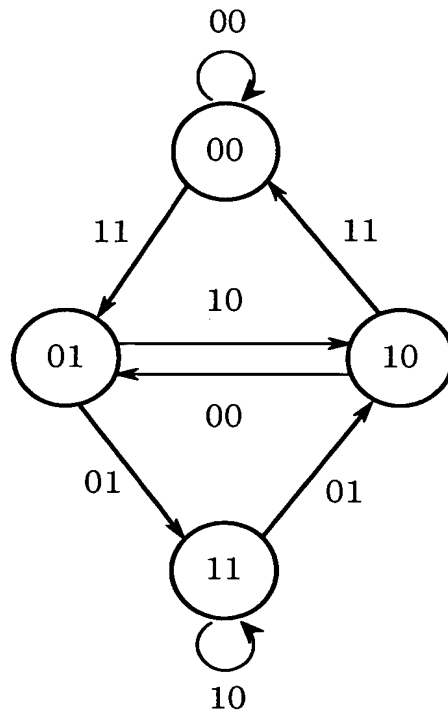
(a)



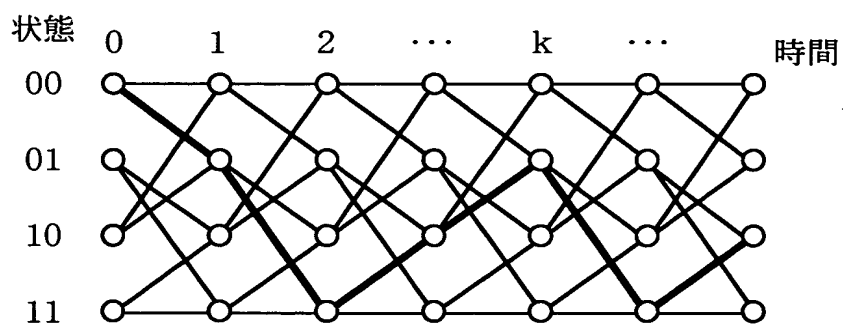
(b)



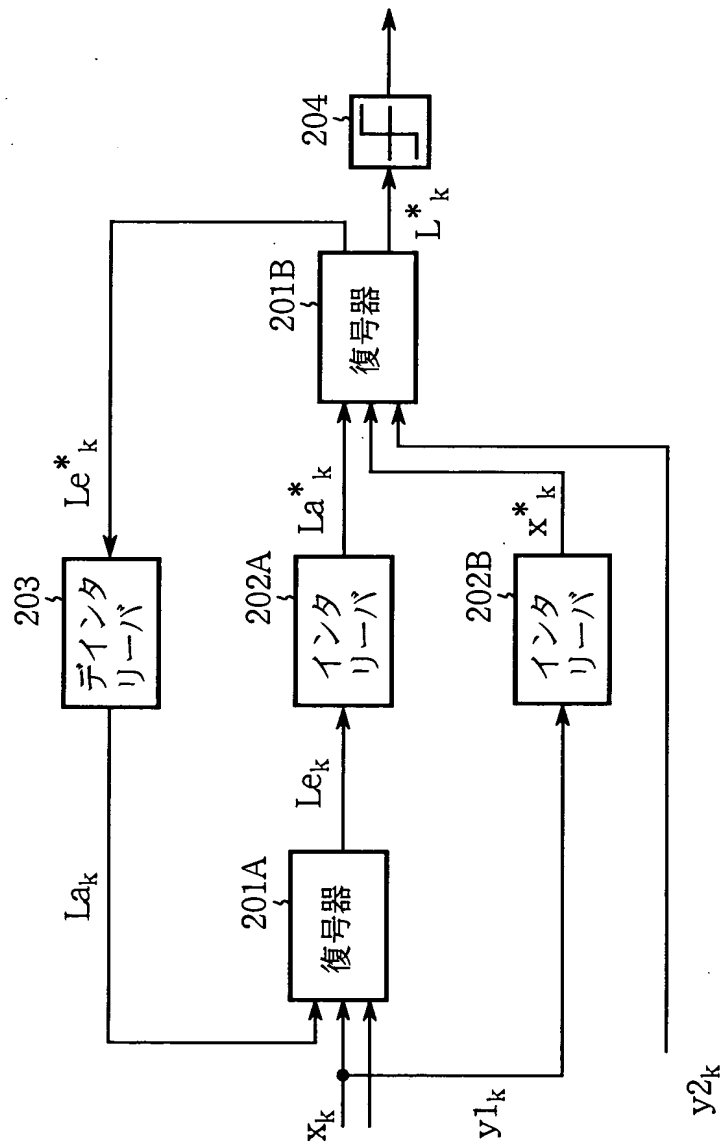
【図 1 3】



【図 1 4】

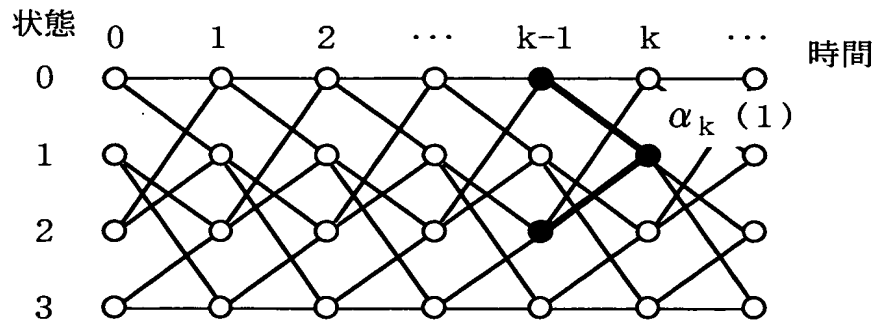


【図 15】

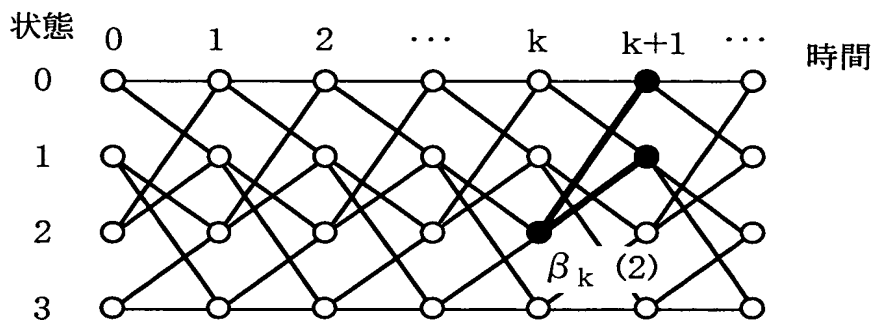


【図 16】

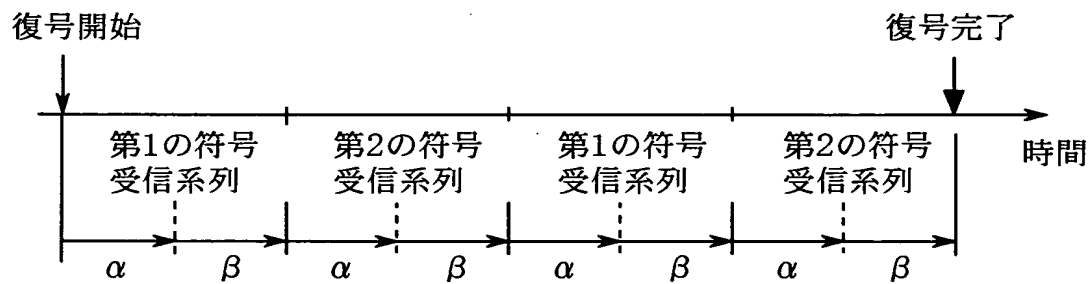
(a)



(b)



【図 17】



【書類名】 要約書

【要約】

【課題】 復号処理に要する時間を低減することが困難であった。

【解決手段】 入出力インタフェース 1 を介して符号受信系列が入力され、通信路値メモリ 2 A, 2 B, 2 C に格納される。事前値を初期値 0 として、符号受信系列のうちの第 1 ブロックが復号器 4 A により復号され、第 2 ブロックが復号器 4 B により復号され、その復号結果である事後値および外部値のうちの外部値が外部値メモリ 5 に格納される。次回の復号の際、その外部値が事前値として読み出される。そして、所定の回数だけ復号が繰り返され、最後の回の復号結果のうちの事後値が復号結果として入出力インタフェース 1 を介して出力される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社